

09/734/658



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年12月 4日

出願番号

Application Number:

特願2000-368693

出願人

Applicant(s):

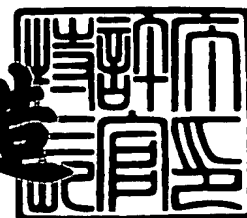
株式会社東芝

RECEIVED
MAY - 2 2001
TC 2800 MAIL ROOM

2001年 1月12日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3110572

【書類名】 特許願

【整理番号】 A000007322

【提出日】 平成12年12月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 49/00

【発明の名称】 M I M キャパシタ

【請求項の数】 32

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 吉富 崇

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 猪原 正弘

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 君島 秀樹

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 大黒 達也

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 蓮見 良治

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横

浜事業所内

【氏名】 山口 崇

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第354473号

【出願日】 平成11年12月14日

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書
 【発明の名称】 M I M キャパシタ
 【特許請求の範囲】

【請求項 1】 金属材料から構成される第 1 及び第 2 電極と、キャパシタ絶縁膜と、前記キャパシタ絶縁膜と前記第 1 電極の間に配置され、前記金属材料を構成する原子の拡散を防止する第 1 拡散防止膜と、前記キャパシタ絶縁膜と前記第 2 電極の間に配置され、前記金属材料を構成する原子の拡散を防止する第 2 拡散防止膜とを具備することを特徴とする M I M キャパシタ。

【請求項 2】 前記第 1 及び第 2 電極の形状は、四角以外の格子状、すのこ状、櫛状を含む形状のうちの 1 つであることを特徴とする請求項 1 記載の M I M キャパシタ。

【請求項 3】 前記第 1 電極は、半導体基板内のトレンチ内に満たされ、かつ、その表面が平坦化され、前記第 2 電極は、前記半導体基板上の絶縁膜内のトレンチ内に満たされ、かつ、その表面が平坦化されていることを特徴とする請求項 1 記載の M I M キャパシタ。

【請求項 4】 前記第 1 及び第 2 拡散防止膜は、窒化金属膜であることを特徴とする請求項 1 記載の M I M キャパシタ。

【請求項 5】 前記第 1 及び第 2 拡散防止膜は、Ti、TiN、TiSiN、Ta、Ta₂N、TaC、TaSiN、TaCeO₂、Ir₄₆Ta₅₄、W、WN、W₂N、W₆₄B₂₀N₁₆、W₂₃B₄₉N₂₈ and W₄₇Si₉N₄₄ のグループのうちから選択される 1 つであることを特徴とする請求項 1 記載の M I M キャパシタ。

【請求項 6】 前記金属材料は、Cuであることを特徴とする請求項 1 記載の M I M キャパシタ。

【請求項 7】 請求項 1 記載の M I M キャパシタにおいて、
 さらに、前記第 1 電極上に開口を有する絶縁層を具備し、
 前記第 1 拡散防止膜は、前記絶縁層の開口に満たされ、前記キャパシタ絶縁膜及び前記第 2 拡散防止膜は、前記第 1 拡散防止膜上に形成されることを特徴とする M I M キャパシタ。

【請求項 8】 前記キャパシタ絶縁膜及び前記第 2 拡散防止膜の端部は、それぞれ、前記絶縁層にオーバーラップしていることを特徴とする請求項 7 記載の MIM キャパシタ。

【請求項 9】 請求項 8 記載の MIM キャパシタにおいて、
さらに、前記第 2 拡散防止膜上に形成される窒化シリコン膜を具備することを特徴とする MIM キャパシタ。

【請求項 10】 前記第 1 拡散防止膜は、前記第 1 電極上に形成され、前記キャパシタ絶縁膜は、前記第 1 拡散防止膜上に形成され、前記第 2 拡散防止膜は、前記キャパシタ絶縁膜上に形成され、

前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜は、窒化シリコン膜に覆われていることを特徴とする請求項 1 記載の MIM キャパシタ。

【請求項 11】 請求項 1 記載の MIM キャパシタにおいて、
さらに、前記第 1 電極上に開口を有する絶縁層を具備し、
前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜は、それぞれ、前記絶縁層の開口内に形成されることを特徴とする MIM キャパシタ。

【請求項 12】 前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜の端部は、それぞれ、前記絶縁層にオーバーラップしていることを特徴とする請求項 11 記載の MIM キャパシタ。

【請求項 13】 請求項 12 記載の MIM キャパシタにおいて、
さらに、前記第 2 拡散防止膜上に形成される窒化シリコン膜を具備することを特徴とする MIM キャパシタ。

【請求項 14】 請求項 1 記載の MIM キャパシタにおいて、
さらに、前記第 1 電極上に開口を有する絶縁層を具備し、
前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜は、それぞれ、前記絶縁層の開口内に形成され、かつ、前記絶縁層から離れていることを特徴とする MIM キャパシタ。

【請求項 15】 請求項 14 記載の MIM キャパシタにおいて、
さらに、前記第 2 拡散防止膜上に形成される窒化シリコン膜を具備することを特徴とする MIM キャパシタ。

【請求項 1 6】 請求項 1 記載の M I M キャパシタにおいて、

さらに、前記第 1 及び第 2 拡散防止膜の少なくとも 1 つを構成する材料と同じ材料から構成される抵抗素子を具備することを特徴とする M I M キャパシタ。

【請求項 1 7】 前記抵抗素子は、C M O S ロジックエリア内に形成されることを特徴とする請求項 1 6 記載の M I M キャパシタ。

【請求項 1 8】 前記第 1 電極は、半導体基板上の第 1 絶縁層内のトレンチ内に満たされ、前記第 2 電極は、前記第 1 絶縁層上の第 2 絶縁層内のトレンチ内に満たされ、前記第 1 及び第 2 絶縁層の表面は、平坦化されていることを特徴とする請求項 1 記載の M I M キャパシタ。

【請求項 1 9】 請求項 1 8 記載の M I M キャパシタにおいて、

さらに、前記第 1 電極の直下に形成される M O S トランジスタを具備することを特徴とする M I M キャパシタ。

【請求項 2 0】 前記第 1 及び第 2 電極に与えられる信号の周波数と前記 M O S トランジスタに与えられる信号の周波数との差が 5 0 倍未満であることを特徴とする請求項 1 9 記載の M I M キャパシタ。

【請求項 2 1】 請求項 1 9 記載の M I M キャパシタにおいて、

さらに、前記第 1 電極と前記 M O S トランジスタとの間に形成され、一定電位に設定されているシールド線を具備することを特徴とする M I M キャパシタ。

【請求項 2 2】 前記一定電位は、接地電位であることを特徴とする請求項 2 1 記載の M I M キャパシタ。

【請求項 2 3】 前記第 1 及び第 2 電極に与えられる信号の周波数と前記 M O S トランジスタに与えられる信号の周波数との差が 5 0 倍以上であることを特徴とする請求項 2 1 記載の M I M キャパシタ。

【請求項 2 4】 金属材料から構成される第 1 及び第 2 電極と、前記第 1 及び第 2 電極の間に配置され、前記金属材料の拡散を防止する機能を有するキャパシタ絶縁膜とを具備することを特徴とする M I M キャパシタ。

【請求項 2 5】 前記第 2 電極は、層間絶縁膜に設けられたトレンチ内に配置され、かつ、前記キャパシタ絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有することを特徴とする請求項 2 4 記載の M I M キャパシタ。

【請求項 2 6】 前記第 1 電極は、半導体基板内のトレンチ内に満たされ、かつ、その表面が平坦化され、前記第 2 電極は、層間絶縁膜内のトレンチ内に満たされ、かつ、その表面が平坦化されていることを特徴とする請求項 2 4 記載の MIM キャパシタ。

【請求項 2 7】 前記金属材料は、Cu であることを特徴とする請求項 2 4 記載の MIM キャパシタ。

【請求項 2 8】 ダマシンプロセスにより金属材料からなる第 1 電極を形成し、

前記第 1 電極上に前記金属材料の拡散を防止する機能を有する第 1 絶縁膜を形成し、

前記第 1 絶縁膜の一部を除去し、この部分をキャパシタ形成予定領域とし、

前記キャパシタ形成予定領域内に前記金属材料の拡散を防止する機能を有する第 1 拡散防止膜を形成し、

前記第 1 拡散防止膜上に、キャパシタ絶縁膜、前記金属材料の拡散を防止する機能を有する第 2 拡散防止膜、及び、前記第 1 絶縁膜と同じ機能を有する第 2 絶縁膜をそれぞれ形成し、

前記第 1 及び第 2 絶縁膜上に層間絶縁膜を形成し、

前記ダマシンプロセスを用いて、前記層間絶縁膜並びに前記第 1 及び第 2 絶縁膜に、前記第 1 電極及び前記前記第 2 拡散防止膜に達するトレンチを形成し、

前記トレンチ内に前記金属材料を満たし、前記第 1 電極に接続する配線及び前記第 2 拡散防止膜に接続する第 2 電極をそれぞれ形成する

ことを特徴とする MIM キャパシタの製造方法。

【請求項 2 9】 前記第 1 拡散防止膜は、窒化金属膜をスパッタした後、前記窒化金属膜を CMP により研磨することにより形成され、前記キャパシタ絶縁膜、前記第 2 拡散防止膜及び前記第 2 絶縁膜は、PEP と RIE により、それぞれ連続して加工されることを特徴とする請求項 2 8 記載の MIM キャパシタの製造方法。

【請求項 3 0】 前記第 1 拡散防止膜、前記キャパシタ絶縁膜、前記第 2 拡散防止膜及び前記第 2 絶縁膜は、PEP と RIE により、それぞれ連続して加工

され、その端部は、前記第 1 絶縁膜にオーバーラップしていることを特徴とする請求項 2 8 記載の M I M キャパシタの製造方法。

【請求項 3 1】 前記第 1 拡散防止膜、前記キャパシタ絶縁膜、前記第 2 拡散防止膜及び前記第 2 絶縁膜は、P E P と R I E により、それぞれ連続して加工され、その端部は、前記キャパシタ形成予定領域内に収まっていることを特徴とする請求項 2 8 記載の M I M キャパシタの製造方法。

【請求項 3 2】 ダマシンプロセスにより金属材料からなる第 1 電極を形成し、

キャパシタ形成予定領域内の前記第 1 電極上に、前記金属材料の拡散を防止する機能を有する第 1 拡散防止膜、キャパシタ絶縁膜、及び、前記金属材料の拡散を防止する機能を有する第 2 拡散防止膜をそれぞれ形成し、

前記第 2 拡散防止膜上及び前記第 1 電極上に、前記金属材料の拡散を防止する機能を有する拡散防止絶縁膜を形成し、

前記拡散防止絶縁膜上に層間絶縁膜を形成し、

前記ダマシンプロセスを用いて、前記層間絶縁膜及び前記拡散防止絶縁膜に、前記第 1 電極及び前記前記第 2 拡散防止膜に達するトレンチを形成し、

前記トレンチ内に前記金属材料を満たし、前記第 1 電極に接続する配線及び前記第 2 拡散防止膜に接続する第 2 電極をそれぞれ形成する

ことを特徴とする M I M キャパシタの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、M I M (Metal-Insulator-Metal) キャパシタに関する。

【0 0 0 2】

【従来の技術】

近年、例えば、R F アナログデバイスと C M O S ロジックデバイスをワンチップ内に形成することが検討されている。R F アナログデバイスは、抵抗、コイル、キャパシタなどを含み、C M O S ロジックデバイスは、M O S トランジスタから構成される。

【0003】

一方、RFアナログデバイスとCMOSロジックデバイスをワンチップ化するためには、両デバイスの製造プロセスの統合を図る必要がある。例えば、CMOSロジックプロセスをベースにし、これにRFアナログデバイスのプロセスを統合して、新規なRF-CMOSプロセスを開発する。

【0004】

プロセスの統合を図るに当たって、最初に問題となるのは、MIMキャパシタの構造及びプロセスである。例えば、MOSトランジスタのゲート長が $0.1\mu\text{m}$ 以下になると、配線抵抗の低減などのため、配線材料として、Cu（銅）を使用することが検討されている。

【0005】

しかし、Cuは、大きな拡散係数を有する。従って、Cuを電極とするMIMキャパシタを形成する場合、Cuがキャパシタ絶縁膜中に拡散し、リーク電流が増大するという問題がある。

【0006】

また、配線材料にCuを使用する場合、Cu配線は、加工精度や平坦化などの理由から、いわゆるダマシンプロセス（Damascene process）により形成される。この時、MIMキャパシタの電極も、当然に、ダマシンプロセスにより形成されるため、ダマシンプロセスに起因する問題、例えば、ディッシング（dishing）の問題や、ディッシングを回避する場合の電極面積の縮小の問題が生じる。

【0007】

【発明が解決しようとする課題】

本発明は、上記欠点を解決すべくなされたもので、その目的は、MIMキャパシタの電極がCuなどの大きな拡散係数を有する材料から構成される場合にも十分にリーク電流を防止すること、及び、ダマシンプロセス（CMPプロセス）を採用してもディッシングや電極面積の縮小などが生じない製造プロセスを提供することにある。

【0008】

【課題を解決するための手段】

本発明のMIMキャパシタは、金属材料から構成される第1及び第2電極と、キャパシタ絶縁膜と、前記キャパシタ絶縁膜と前記第1電極の間に配置され、前記金属材料を構成する原子の拡散を防止する第1拡散防止膜と、前記キャパシタ絶縁膜と前記第2電極の間に配置され、前記金属材料を構成する原子の拡散を防止する第2拡散防止膜とを備える。

【0009】

前記第1及び第2電極の形状は、四角以外の格子状、すのこ状、櫛状を含む形状のうちの1つである。

【0010】

前記第1電極は、半導体基板内のトレンチ内に満たされ、かつ、その表面が平坦化され、前記第2電極は、前記半導体基板上の絶縁膜内のトレンチ内に満たされ、かつ、その表面が平坦化されている。

【0011】

前記第1及び第2拡散防止膜は、窒化金属膜である。前記第1及び第2拡散防止膜は、Ti、TiN、TiSiN、Ta、Ta₂N、TaC、TaSiN、Ta₂CeO₂、Ir₄₆Ta₅₄、W、WN、W₂N、W₆₄B₂₀N₁₆、W₂₃B₄₉N₂₈ and W₄₇Si₉N₄₄ のグループのうちから選択される1つである。

【0012】

前記金属材料は、Cuである。

【0013】

本発明のMIMキャパシタは、さらに、前記第1電極上に開口を有する絶縁層を備え、前記第1拡散防止膜は、前記絶縁層の開口に満たされ、前記キャパシタ絶縁膜及び前記第2拡散防止膜は、前記第1拡散防止膜上に形成される。前記キャパシタ絶縁膜及び前記第2拡散防止膜の端部は、それぞれ、前記絶縁層にオーバーラップしている。

【0014】

本発明のMIMキャパシタは、さらに、前記第2拡散防止膜上に形成される窒化シリコン膜を備える。

【 0 0 1 5 】

前記第 1 拡散防止膜は、前記第 1 電極上に形成され、前記キャパシタ絶縁膜は、前記第 1 拡散防止膜上に形成され、前記第 2 拡散防止膜は、前記キャパシタ絶縁膜上に形成され、前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜は、窒化シリコン膜に覆われている。

【 0 0 1 6 】

本発明の MIM キャパシタは、さらに、前記第 1 電極上に開口を有する絶縁層を備え、前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜は、それぞれ、前記絶縁層の開口内に形成される。前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜の端部は、それぞれ、前記絶縁層にオーバーラップしている。

【 0 0 1 7 】

本発明の MIM キャパシタは、さらに、前記第 1 電極上に開口を有する絶縁層を備え、前記第 1 及び第 2 拡散防止膜及び前記キャパシタ絶縁膜は、それぞれ、前記絶縁層の開口内に形成され、かつ、前記絶縁層から離れている。

【 0 0 1 8 】

本発明の MIM キャパシタは、さらに、前記第 1 及び第 2 拡散防止膜の少なくとも 1 つを構成する材料と同じ材料から構成される抵抗素子を備える。前記抵抗素子は、CMOS ロジックエリア内に形成される。

【 0 0 1 9 】

前記第 1 電極は、半導体基板上の第 1 絶縁層内のトレンチ内に満たされ、前記第 2 電極は、前記第 1 絶縁層上の第 2 絶縁層内のトレンチ内に満たされ、前記第 1 及び第 2 絶縁層の表面は、平坦化されている。

【 0 0 2 0 】

本発明の MIM キャパシタは、さらに、前記第 1 電極の直下に形成される MOS トランジスタを備える。前記第 1 及び第 2 電極に与えられる信号の周波数と前記 MOS トランジスタに与えられる信号の周波数との差が 5 0 倍未満である。

【 0 0 2 1 】

本発明の MIM キャパシタは、さらに、前記第 1 電極と前記 MOS トランジスタとの間に形成され、一定電位に設定されているシールド線を備える。前記一定

電位は、接地電位である。

【 0 0 2 2 】

前記第 1 及び第 2 電極に与えられる信号の周波数と前記 M O S トランジスタに与えられる信号の周波数との差が 5 0 倍以上である。

【 0 0 2 3 】

本発明の M I M キャパシタは、金属材料から構成される第 1 及び第 2 電極と、前記第 1 及び第 2 電極の間に配置され、前記金属材料の拡散を防止する機能を有するキャパシタ絶縁膜とを備える。

【 0 0 2 4 】

前記第 2 電極は、層間絶縁膜に設けられたトレンチ内に配置され、かつ、前記キャパシタ絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有する。前記第 1 電極は、半導体基板内のトレンチ内に満たされ、かつ、その表面が平坦化され、前記第 2 電極は、層間絶縁膜内のトレンチ内に満たされ、かつ、その表面が平坦化されている。

【 0 0 2 5 】

前記金属材料は、C u である。

【 0 0 2 6 】

本発明の M I M キャパシタの製造方法は、ダマシンプロセスにより金属材料からなる第 1 電極を形成し、前記第 1 電極上に前記金属材料の拡散を防止する機能を有する第 1 絶縁膜を形成し、前記第 1 絶縁膜の一部を除去し、この部分をキャパシタ形成予定領域とし、前記キャパシタ形成予定領域内に前記金属材料の拡散を防止する機能を有する第 1 拡散防止膜を形成し、前記第 1 拡散防止膜上に、キャパシタ絶縁膜、前記金属材料の拡散を防止する機能を有する第 2 拡散防止膜、及び、前記第 1 絶縁膜と同じ機能を有する第 2 絶縁膜をそれぞれ形成し、前記第 1 及び第 2 絶縁膜上に層間絶縁膜を形成し、前記ダマシンプロセスを用いて、前記層間絶縁膜並びに前記第 1 及び第 2 絶縁膜に、前記第 1 電極及び前記前記第 2 拡散防止膜に達するトレンチを形成し、前記トレンチ内に前記金属材料を満たし、前記第 1 電極に接続する配線及び前記第 2 拡散防止膜に接続する第 2 電極をそれぞれ形成する、という一連のステップから構成される。

【 0 0 2 7 】

前記第 1 拡散防止膜は、窒化金属膜をスパッタした後、前記窒化金属膜を CMP により研磨することにより形成され、前記キャパシタ絶縁膜、前記第 2 拡散防止膜及び前記第 2 絶縁膜は、PEP と RIE により、それぞれ連続して加工される。

【 0 0 2 8 】

前記第 1 拡散防止膜、前記キャパシタ絶縁膜、前記第 2 拡散防止膜及び前記第 2 絶縁膜は、PEP と RIE により、それぞれ連続して加工され、その端部は、前記第 1 絶縁膜にオーバーラップしている。

【 0 0 2 9 】

前記第 1 拡散防止膜、前記キャパシタ絶縁膜、前記第 2 拡散防止膜及び前記第 2 絶縁膜は、PEP と RIE により、それぞれ連続して加工され、その端部は、前記キャパシタ形成予定領域内に収まっている。

【 0 0 3 0 】

本発明の MIM キャパシタの製造方法は、ダマシンプロセスにより金属材料からなる第 1 電極を形成し、キャパシタ形成予定領域内の前記第 1 電極上に、前記金属材料の拡散を防止する機能を有する第 1 拡散防止膜、キャパシタ絶縁膜、及び、前記金属材料の拡散を防止する機能を有する第 2 拡散防止膜をそれぞれ形成し、前記第 2 拡散防止膜上及び前記第 1 電極上に、前記金属材料の拡散を防止する機能を有する拡散防止絶縁膜を形成し、前記拡散防止絶縁膜上に層間絶縁膜を形成し、前記ダマシンプロセスを用いて、前記層間絶縁膜及び前記拡散防止絶縁膜に、前記第 1 電極及び前記前記第 2 拡散防止膜に達するトレンチを形成し、前記トレンチ内に前記金属材料を満たし、前記第 1 電極に接続する配線及び前記第 2 拡散防止膜に接続する第 2 電極をそれぞれ形成する、という一連のステップから構成される。

【 0 0 3 1 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の MIM キャパシタについて詳細に説明する。

【 0 0 3 2 】

図 1 は、本発明の第 1 実施の形態に関わる MIM キャパシタの平面図を示している。図 2 は、図 1 の I I - I I 線に沿う断面図である。

【 0 0 3 3 】

半導体基板（例えば、シリコン基板）11 内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 12、例えば、Cu（銅）が満たされる。半導体基板 11 内のトレンチ内に満たされた金属材料 12 は、MIM キャパシタの第 1 電極となる。

【 0 0 3 4 】

本例では、MIM キャパシタの第 1 電極のレイアウトを格子状としているが、これは、ダマシンプロセス（CMP プロセス）においてディッシング現象（トレンチ内の金属材料が皿状に研磨される現象）を防止するためである。よって、ディッシング現象を防止できる構造であれば、トレンチの形状は、格子状に限られず、例えば、すのこ状（又は梯子状）、櫛状などであってもよい。

【 0 0 3 5 】

半導体基板 11 上には、MIM キャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜（SiN）13 が形成される。MIM キャパシタのキャパシタ形成予定領域は、窒化シリコン膜 13 の壁に取り囲まれた溝となっている。そして、キャパシタ形成予定領域には、窒化タングステン膜（WN）14 が形成される。窒化タングステン膜 14 は、金属材料（例えば、Cu）12 の拡散防止膜として機能すると共に、格子状の第 1 電極上に配置されることによりキャパシタ面積を増加させる機能を有する。

【 0 0 3 6 】

窒化タングステン膜 14 上には、キャパシタ絶縁膜（例えば、Ta₂O₅）15 が形成される。

【 0 0 3 7 】

キャパシタ絶縁膜 15 上には、窒化タングステン膜（WN）16 が形成される。窒化タングステン膜 16 は、後述する MIM キャパシタの第 2 電極としての金属材料（例えば、Cu）の拡散防止膜として機能すると共に、後述する格子状の

第2電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【0038】

窒化タングステン膜16上には、窒化シリコン膜(SiN)17が形成される。窒化シリコン膜17は、窒化シリコン膜13と共に、エッチング時(即ち、トレンチ形成時)のストッパとして機能する(詳細については、製造方法の説明で述べる。)。

【0039】

窒化シリコン膜13, 17上には、酸化シリコン膜(SiO₂)18が形成され、酸化シリコン膜18上には、窒化シリコン膜19が形成される。窒化シリコン膜19は、デュアルダマシンプロセスにおけるトレンチ形成時のストッパとして機能する。窒化シリコン膜19上には、酸化シリコン膜(SiO₂)20が形成され、酸化シリコン膜20上には、窒化シリコン膜21が形成される。窒化シリコン膜21は、CMP (Chemical Mechanical Polishing) プロセスにおけるストッパとして機能する。

【0040】

酸化シリコン膜20内(窒化シリコン膜19よりも上の部分)には、例えば、格子状トレンチや、配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜18及び窒化シリコン膜13には、窒化タングステン膜16や金属材料(例えばCu)12まで達するトレンチ(ヴィアホール(via hole))が形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料22A, 22B、例えば、Cu(銅)が満たされる。トレンチ内に満たされた金属材料22Aは、MIMキャパシタの第2電極となる。

【0041】

本例では、MIMキャパシタの第2電極のレイアウトを格子状としているが、これは、ダマシンプロセス(CMPプロセス)におけるディッシング現象を防止するためである。よって、ディッシング現象を防止できる構造であれば、トレンチの形状は、格子状に限られず、例えば、すのこ状(又は梯子状)、櫛状などであってもよい。

【0042】

以上のようなデバイス構造によれば、まず、MIMキャパシタの第1及び第2電極がそれぞれ格子状、すのこ状、櫛状などのディッシング現象が発生し難い形状となっている。

【0043】

また、MIMキャパシタの第1及び第2電極が大きな拡散係数を有する金属材料（例えば、Cu）から構成される場合に、第1電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜14）と第2電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜16）を設けている。これら拡散防止膜は、MIMキャパシタのキャパシタ面積を増加させる機能も有する。

【0044】

そして、キャパシタ絶縁膜（例えば、 Ta_2O_5 ）15は、2つの拡散防止膜に挟まれ、大きな拡散係数を有する金属材料（例えば、Cu）に直接接触することがない。

【0045】

従って、MIMキャパシタの電極を構成する大きな拡散係数を有する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【0046】

次に、図1及び図2のMIMキャパシタの製造方法について説明する。

【0047】

まず、図3及び図4に示すように、ダマシンプロセスにより、半導体基板11内にMIMキャパシタの第1電極を形成する。

【0048】

例えば、PEP（Photo Engraving Process）及びRIE（Reactive Ion Etching）を用いて、半導体基板11内に格子状トレンチを形成する。また、CVD（Chemical Vapour Deposition）法を用いて、格子状トレンチを完全に満たす金属材料（例えば、Cu）12を形成する。この後、CMP（Chemical Mechanical Polishing）法を用いて、金属材料12を研磨し、この金属材料12を格子状トレンチ内のみに残存させれば、MIMキャパシタの第1電極が完成する。

【 0 0 4 9 】

なお、トレンチ（第 1 電極）の形状としては、格子状の他、例えば、図 5 に示すようなすのこ状、図 6 及び図 7 に示すような櫛状などであってもよい。

【 0 0 5 0 】

この後、CVD法を用いて、半導体基板 1 1 上に、MIMキャパシタの第 1 電極を覆う窒化シリコン膜（拡散防止絶縁膜） 1 3 を形成する。

【 0 0 5 1 】

次に、図 8 及び図 9 に示すように、PEP及びRIEを用いて、キャパシタ形成予定領域内に存在する窒化シリコン膜 1 3 を除去する。また、スパッタ法を用いて、拡散防止膜としての窒化タングステン膜（WN） 1 4 を、窒化シリコン膜 1 3 上及びキャパシタ形成予定領域上に形成する。この後、CMP法を用いて、窒化タングステン膜 1 4 を研磨し、キャパシタ形成予定領域のみに窒化タングステン膜 1 4 を残存させる。

【 0 0 5 2 】

なお、本例では、拡散防止膜（バリアメタル）として、窒化タングステン膜を使用しているが、金属原子の拡散防止機能を有する膜であれば、窒化タングステン膜以外の膜であってもよい。拡散防止機能を有する導電膜としては、例えば、表 1 に示すような材料が知られている。

【 0 0 5 3 】

【表 1】

材料	耐拡散温度(°C)	膜厚 (nm)	結晶構造
Ti	450	220	多結晶
TiN	600	50	多結晶
TiSiN	600	30	アモルファス
Ta	500	50	多結晶
TaN	700	8	多結晶
TaC	600	5	アモルファス
TaSiN	900	120	アモルファス
TaCeO ₂	850	10	多結晶
Ir ₄₈ Ta ₅₄	700	30	アモルファス
W	450	100	多結晶
WN	700	120	多結晶
W ₂ N	600	8	アモルファス
W ₆₄ B ₂₀ N ₁₆	800	100	多結晶
W ₂₃ B ₄₉ N ₂₈	700	100	アモルファス
W ₄₇ Si ₉ N ₄₄	700	100	アモルファス

【0 0 5 4】

次に、図 10 に示すように、スパッタ法を用いて、窒化シリコン膜 1 3 上及び窒化タングステン膜 1 4 上に、キャパシタ絶縁膜（例えば、 Ta_2O_5 ）1 5 を形成する。続けて、スパッタ法を用いて、キャパシタ絶縁膜 1 5 上に、拡散防止膜（バリアメタル）としての窒化タングステン膜 1 6 を形成する。拡散防止膜としては、窒化タングステン膜の他、上記表 1 に示すような導電膜を用いることができる。

【0 0 5 5】

また、CVD法を用いて、窒化タングステン膜 1 6 上に、窒化シリコン膜（拡

散防止絶縁膜) 17を形成する。この後、PEP及びRIEを用いて、窒化シリコン膜17、窒化タングステン膜16及びキャパシタ絶縁膜15を順次エッチングする。このエッチングは、少なくともキャパシタ形成予定領域内の窒化タングステン膜14上に、キャパシタ絶縁膜15、窒化タングステン膜16及び窒化シリコン膜17が残存するようにして行われる。

【0056】

次に、図11及び図12に示すように、CVD法を用いて、窒化シリコン膜13、17上に、酸化シリコン膜(層間絶縁膜)18を形成する。続けて、CVD法を用いて、酸化シリコン膜18上に、エッチングストッパとしての窒化シリコン膜19を形成する。また、CVD法を用いて、窒化シリコン膜19上に、酸化シリコン膜(配線間絶縁膜)20を形成する。続けて、CVD法を用いて、酸化シリコン膜20上に、CMPのストッパとしての窒化シリコン膜21を形成する。

【0057】

この後、デュアルダマシンプロセスにより、MIMキャパシタの第2電極を形成する。

【0058】

例えば、まず、PEP及びRIEを用いて、窒化シリコン膜21及び酸化シリコン膜20に、配線溝としてのトレンチを形成する。酸化シリコン膜20のエッチング時、窒化シリコン膜19は、RIEのエッチングストッパとして機能する。このトレンチは、配線・パッド部、キャパシタ電極部を含み、キャパシタ電極部は、例えば、格子状のレイアウトを有する。

【0059】

さらに、続けて、PEP及びRIEを用いて、窒化シリコン膜19及び酸化シリコン膜18に、ビアホール(via hole)としてのトレンチを形成する。酸化シリコン膜18のエッチング時、窒化シリコン膜13、17は、RIEのエッチングストッパとして機能する。

【0060】

なお、キャパシタ電極部におけるトレンチの形状は、格子状に限られず、例え

ば、図 1 3 に示すように、すのこ状であってもよく、また、図 1 4 及び図 1 5 に示すように、櫛状であってもよい。

【 0 0 6 1 】

また、トレンチ底部の窒化シリコン膜 1 3、1 7 をエッチングし、金属材料 1 2 の一部及び窒化タングステン膜 1 6 の一部を剥き出しにする。

【 0 0 6 2 】

この後、メッキ法により、トレンチを完全に満たす金属材料（例えば、Cu）2 2 A、2 2 B を形成する。なお、金属材料 2 2 A、2 2 B を形成する前に、トレンチ内面に、Ta N などのバリアメタルを形成しておいてもよい。

【 0 0 6 3 】

そして、CMP 法を用いて、金属材料 2 2 A、2 2 B を研磨し、金属材料 2 2 A、2 2 B をトレンチ内に残存させる。この時、窒化シリコン膜 2 1 は、CMP のストッパとして機能する。

【 0 0 6 4 】

以上の工程により、図 1 及び図 2 の M I M キャパシタが完成する。

【 0 0 6 5 】

このような製造方法によれば、ダマシンプロセス（CMP プロセス）を採用し、かつ、Cu（銅）のような大きな拡散係数を有する金属材料を配線材料として用いる場合に、第一に、金属材料（キャパシタ電極）の形状を、例えば、格子状とすることで、ディッシング現象を防止できる。また、第二に、キャパシタ絶縁膜を拡散防止膜により直接挟み込むことで、製造工程中に、金属原子がキャパシタ絶縁膜に拡散することを防止できる。第三に、拡散防止膜を、キャパシタ電極として機能させることにより、ディッシング現象の防止のために金属材料を格子状にしても、キャパシタ面積が小さくなることがない（配線ルールによらず、キャパシタ容量を大きくできる）。第四に、キャパシタのパターニング時に、金属材料（例えば、Cu）が露出することがないので、金属原子による汚染をなくすることができる。第五に、キャパシタ構造が平坦であり、高信頼性、高性能を達成できる。

【 0 0 6 6 】

図 1 6 は、本発明の第 2 実施の形態に関わる MIM キャパシタの断面図を示している。

【 0 0 6 7 】

本例のデバイス構造は、図 1 及び図 2 の例と比べると、図 1 及び図 2 の窒化シリコン膜 1 3 を省略した点に特徴を有する。つまり、本例では、窒化シリコン膜 1 7 は、窒化タングステン膜 1 6 上の他、半導体基板 1 1 上及び金属材料 1 2 上にも形成される。

【 0 0 6 8 】

以下、具体的な構造について説明する。

【 0 0 6 9 】

半導体基板（例えば、シリコン基板） 1 1 内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 1 2、例えば、Cu（銅）が満たされる。半導体基板 1 1 内のトレンチ内に満たされた金属材料 1 2 は、MIM キャパシタの第 1 電極となる。

【 0 0 7 0 】

なお、MIM キャパシタの第 1 電極の形状は、格子状、すのこ状（又は梯子状）、櫛状などに設定される。

【 0 0 7 1 】

MIM キャパシタのキャパシタ形成予定領域には、窒化タングステン膜（WN） 1 4 が形成される。窒化タングステン膜 1 4 は、金属材料（例えば、Cu） 1 2 の拡散防止膜として機能すると共に、格子状の第 1 電極上に配置されることによりキャパシタ面積を増加させる機能を有する。窒化タングステン膜 1 4 上には、キャパシタ絶縁膜（例えば、 Ta_2O_5 ） 1 5 が形成される。

【 0 0 7 2 】

キャパシタ絶縁膜 1 5 上には、窒化タングステン膜（WN） 1 6 が形成される。窒化タングステン膜 1 6 は、後述する MIM キャパシタの第 2 電極としての金属材料（例えば、Cu）の拡散防止膜として機能すると共に、後述する格子状の第 2 電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【 0 0 7 3 】

半導体基板 11 上、金属材料 12 上及び窒化タングステン膜 16 上には、窒化シリコン膜 (SiN) 17 が形成される。窒化シリコン膜 17 は、エッチング時 (即ち、トレンチ形成時) のストッパとして機能する (詳細については、製造方法の説明で述べる。)。

【0074】

窒化シリコン膜 17 上には、酸化シリコン膜 (SiO₂) 18 が形成され、酸化シリコン膜 18 上には、窒化シリコン膜 19 が形成される。窒化シリコン膜 19 は、デュアルダマシンプロセスにおけるトレンチ形成時のストッパとして機能する。窒化シリコン膜 19 上には、酸化シリコン膜 (SiO₂) 20 が形成され、酸化シリコン膜 20 上には、窒化シリコン膜 21 が形成される。窒化シリコン膜 21 は、CMP (Chemical Mechanical Polishing) プロセスにおけるストッパとして機能する。

【0075】

酸化シリコン膜 20 内 (窒化シリコン膜 19 よりも上の部分) には、例えば、格子状トレンチや、配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜 18 及び窒化シリコン膜 17 には、窒化タングステン膜 16 や金属材料 (例えば Cu) 12 まで達するヴィアホール (via hole) としてのトレンチが形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 22A、22B、例えば、Cu (銅) が満たされる。トレンチ内に満たされた金属材料 22A は、MIM キャパシタの第 2 電極となる。

【0076】

なお、MIM キャパシタの第 2 電極の形状は、格子状、すのこ状 (又は梯子状)、櫛状などに設定される。

【0077】

以上のようなデバイス構造によれば、まず、MIM キャパシタの第 1 及び第 2 電極がそれぞれ格子状、すのこ状、櫛状などのディッシング現象が発生し難い形状となっている。

【0078】

また、MIM キャパシタの第 1 及び第 2 電極が大きな拡散係数を有する金属材

料（例えば、Cu）から構成される場合に、第1電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜14）と第2電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜16）を設けている。これら拡散防止膜は、MIMキャパシタのキャパシタ面積を増加させる機能も有する。

【0079】

そして、キャパシタ絶縁膜（例えば、 Ta_2O_5 ）15は、2つの拡散防止膜に挟まれ、大きな拡散係数を有する金属材料（例えば、Cu）に直接接触することがない。

【0080】

従って、MIMキャパシタの電極を構成する大きな拡散係数を有する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【0081】

また、本例では、酸化シリコン膜18にトレンチ（ヴィアホール）を形成するときのエッチングストッパとして、窒化シリコン膜17のみを用い、図1及び図2のデバイスに示されるような窒化シリコン膜13を省略している。このため、本例では、図1及び図2の例に比べて、① 窒化シリコン膜13を加工する工程、及び、② 窒化タングステン膜14を窒化シリコン膜13の溝に埋め込む工程（CMP）を省略でき、PEP数の削減、コストの低下などを図ることができる。

【0082】

次に、図16のMIMキャパシタの製造方法について説明する。

【0083】

まず、図17に示すように、ダマシンプロセスにより、半導体基板11内にMIMキャパシタの第1電極を形成する。

【0084】

例えば、PEP及びRIEを用いて、半導体基板11内に格子状のトレンチを形成する。また、CVD法を用いて、格子状のトレンチを完全に満たす金属材料（例えば、Cu）12を形成する。この後、CMP法を用いて、金属材料12を

研磨し、この金属材料 1 2 を格子状のトレンチ内のみに残存させれば、MIM キャパシタの第 1 電極が完成する。

【 0 0 8 5 】

なお、トレンチ（第 1 電極）の形状としては、図 3 に示すような格子状の他、例えば、すのこ状（図 5 ）、櫛状（図 6 及び図 7 ）などであってもよい。

【 0 0 8 6 】

また、スパッタ法を用いて、拡散防止膜としての窒化タングステン膜（WN）1 4 を、半導体基板 1 1 上及び金属材料 1 2 上に形成する。なお、本例では、拡散防止膜（バリアメタル）として、窒化タングステン膜を使用しているが、金属原子の拡散防止機能を有する膜であれば、窒化タングステン膜以外の膜であってもよい（表 1 参照）。

【 0 0 8 7 】

また、スパッタ法を用いて、窒化タングステン膜 1 4 上に、キャパシタ絶縁膜（例えば、 Ta_2O_5 ）1 5 を形成する。続けて、スパッタ法を用いて、キャパシタ絶縁膜 1 5 上に、拡散防止膜（バリアメタル）としての窒化タングステン膜 1 6 を形成する。

【 0 0 8 8 】

次に、図 1 8 に示すように、PEP 及び RIE を用いて、窒化タングステン膜 1 6 、キャパシタ絶縁膜 1 5 及び窒化タングステン膜 1 4 を順次エッチングする。そして、キャパシタ形成予定領域のみに、窒化タングステン膜 1 4 、キャパシタ絶縁膜 1 5 及び窒化タングステン膜 1 6 を残存させる。

【 0 0 8 9 】

次に、図 1 9 に示すように、CVD 法を用いて、半導体基板 1 1 上、金属材料 1 2 上及び窒化タングステン膜 1 6 上に、窒化シリコン膜（拡散防止絶縁膜）1 7 を形成する。窒化シリコン膜 1 7 は、後述するヴィアホールとしてのトレンチ形成時のストッパとして機能する。

【 0 0 9 0 】

次に、図 2 0 に示すように、CVD 法を用いて、窒化シリコン膜 1 7 上に、酸化シリコン膜（層間絶縁膜）1 8 を形成する。続けて、CVD 法を用いて、酸化

シリコン膜 1 8 上に、エッチングストッパとしての窒化シリコン膜 1 9 を形成する。また、CVD法を用いて、窒化シリコン膜 1 9 上に、酸化シリコン膜（配線間絶縁膜）2 0 を形成する。続けて、CVD法を用いて、酸化シリコン膜 2 0 上に、CMPのストッパとしての窒化シリコン膜 2 1 を形成する。

【 0 0 9 1 】

この後、デュアルダマシンプロセスにより、MIMキャパシタの第 2 電極を形成する。

【 0 0 9 2 】

例えば、まず、PEP及びRIEを用いて、窒化シリコン膜 2 1 及び酸化シリコン膜 2 0 に、配線溝としてのトレンチを形成する。酸化シリコン膜 2 0 のエッチング時、窒化シリコン膜 1 9 は、RIEのエッチングストッパとして機能する。このトレンチは、配線・パッド部、キャパシタ電極部を含み、キャパシタ電極部は、例えば、格子状のレイアウトを有する。

【 0 0 9 3 】

さらに、続けて、PEP及びRIEを用いて、窒化シリコン膜 1 9 及び酸化シリコン膜 1 8 に、ビアホール（via hole）としてのトレンチを形成する。酸化シリコン膜 1 8 のエッチング時、窒化シリコン膜 1 7 は、RIEのエッチングストッパとして機能する。

【 0 0 9 4 】

なお、キャパシタ電極部におけるトレンチの形状は、格子状に限られず、例えば、図 1 3 に示すように、すのこ状であってもよく、また、図 1 4 及び図 1 5 に示すように、櫛状であってもよい。

【 0 0 9 5 】

また、トレンチ底部の窒化シリコン膜 1 7 をエッチングし、金属材料 1 2 の一部及び窒化タングステン膜 1 6 の一部を剥き出しにする。

【 0 0 9 6 】

この後、メッキ法により、トレンチを完全に満たす金属材料（例えば、Cu）2 2 A，2 2 Bを形成する。なお、金属材料 2 2 A，2 2 Bを形成する前に、トレンチ内面に、Ta Nなどのバリアメタルを形成しておいてもよい。

【0097】

そして、CMP法を用いて、金属材料22A、22Bを研磨し、金属材料22A、22Bをトレンチ内のみに残存させる。この時、窒化シリコン膜21は、CMPのストッパとして機能する。

【0098】

以上の工程により、図16のMIMキャパシタが完成する。

【0099】

このような製造方法によれば、ダマシンプロセス（CMPプロセス）を採用し、かつ、Cu（銅）のような大きな拡散係数を有する金属材料を配線材料として用いる場合に、第一に、金属材料（キャパシタ電極）の形状を、例えば、格子状とすることで、ディッシング現象を防止できる。また、第二に、キャパシタ絶縁膜を直接挟み込む拡散防止膜を設けることで、製造工程中に、金属原子がキャパシタ絶縁膜に拡散することを防止できる。第三に、拡散防止膜を、キャパシタ電極として機能させることにより、ディッシング現象の防止のために金属材料を格子状にしても、キャパシタ面積が小さくなることがない（配線ルールによらず、キャパシタ容量を大きくできる）。第四に、ビアホールとしてのトレンチを形成するときのストッパとして1つの窒化シリコン膜のみを使用しているため、工程数（PEP数）が減り、コストの低減に貢献できる。

【0100】

図21は、本発明の第3実施の形態に関わるMIMキャパシタの断面図を示している。

【0101】

本例のデバイス構造は、図1及び図2の例と比べると、拡散防止膜としての窒化タングステン膜14のレイアウトに特徴がある。即ち、本例では、拡散防止膜としての窒化タングステン膜14のエッチングを、窒化シリコン膜17、窒化タングステン膜16及びキャパシタ絶縁膜15のエッチングに続けて行っている。また、本例のデバイス構造では、窒化タングステン膜14、16及びキャパシタ絶縁膜15の端部が窒化シリコン膜13にオーバーラップするようなレイアウトを有している。

【 0 1 0 2 】

従って、本例では、図 1 及び図 2 の例に示す窒化シリコン膜 1 3 の溝内に窒化タングステン膜 1 4 を満たす工程 (CMP) が不要となる。

【 0 1 0 3 】

以下、具体的なデバイス構造について説明する。

【 0 1 0 4 】

半導体基板 (例えば、シリコン基板) 1 1 内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 1 2、例えば、Cu (銅) が満たされる。半導体基板 1 1 内のトレンチ内に満たされた金属材料 1 2 は、MIM キャパシタの第 1 電極となる。

【 0 1 0 5 】

MIM キャパシタの第 1 電極の形状としては、例えば、格子状、すのこ状 (又は梯子状)、櫛状などに設定される。

【 0 1 0 6 】

半導体基板 1 1 上には、MIM キャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜 (SiN) 1 3 が形成される。MIM キャパシタのキャパシタ形成予定領域は、窒化シリコン膜 1 3 の壁に取り囲まれた溝となっている。キャパシタ形成予定領域には、窒化タングステン膜 (WN) 1 4 が形成される。窒化タングステン膜 1 4 の端部は、窒化シリコン膜 1 3 にオーバーラップしている。

【 0 1 0 7 】

窒化タングステン膜 1 4 は、金属材料 (例えば、Cu) 1 2 の拡散防止膜として機能すると共に、格子状の第 1 電極上に配置されることによりキャパシタ面積を増加させる機能を有する。窒化タングステン膜 1 4 上には、キャパシタ絶縁膜 (例えば、Ta₂O₅) 1 5 が形成される。

【 0 1 0 8 】

キャパシタ絶縁膜 1 5 上には、窒化タングステン膜 (WN) 1 6 が形成される。窒化タングステン膜 1 6 は、後述する MIM キャパシタの第 2 電極としての金属材料 (例えば、Cu) の拡散防止膜として機能すると共に、後述する格子状の第 2 電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【0109】

窒化タングステン膜16上には、窒化シリコン膜(SiN)17が形成される。窒化シリコン膜17は、窒化シリコン膜13と共に、エッチング時(即ち、トレンチ形成時)のストッパとして機能する(詳細については、製造方法の説明で述べる。)。

【0110】

窒化シリコン膜13, 17上には、酸化シリコン膜(SiO₂)18が形成され、酸化シリコン膜18上には、窒化シリコン膜19が形成される。窒化シリコン膜19は、デュアルダマシンプロセスにおけるトレンチ形成時のストッパとして機能する。窒化シリコン膜19上には、酸化シリコン膜(SiO₂)20が形成され、酸化シリコン膜20上には、窒化シリコン膜21が形成される。窒化シリコン膜21は、CMP (Chemical Mechanical Polishing) プロセスにおけるストッパとして機能する。

【0111】

酸化シリコン膜20内(窒化シリコン膜19よりも上の部分)には、例えば、格子状トレンチや、配線・パッド部のためのトレンチなどが形成される。また、酸化シリコン膜18及び窒化シリコン膜13には、窒化タングステン膜16や金属材料(例えばCu)12まで達するヴィアホールとしてのトレンチが形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料22A, 22B、例えば、Cu(銅)が満たされる。トレンチ内に満たされた金属材料22Aは、MIMキャパシタの第2電極となる。

【0112】

MIMキャパシタの第2電極の形状としては、例えば、図27に示すような形状とすることができる。但し、MIMキャパシタの第2電極に関しては、ダマシンプロセス(CMPプロセス)におけるディッシング現象を防止できれば、どのような形状であってもよい。

【0113】

以上のような構造によれば、まず、MIMキャパシタの第1及び第2電極がそれぞれ格子状、すのこ状(又は梯子状)、櫛状などのディッシング現象が発生し

難い形状となっている。

【0114】

また、MIMキャパシタの第1及び第2電極が大きな拡散係数を有する金属材料（例えば、Cu）から構成される場合に、第1電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜14）と第2電極に接触する板状の拡散防止膜（例えば、窒化タングステン膜16）を設けている。これら拡散防止膜は、MIMキャパシタのキャパシタ面積を増加させる機能も有する。

【0115】

そして、キャパシタ絶縁膜（例えば、 Ta_2O_5 ）15は、2つの拡散防止膜に挟まれ、大きな拡散係数を有する金属材料（例えば、Cu）に直接接触することがない。

【0116】

従って、MIMキャパシタの電極を構成する大きな拡散係数を有する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【0117】

次に、図21のMIMキャパシタの製造方法について説明する。

【0118】

まず、図22に示すように、ダマシンプロセスにより、半導体基板11内にMIMキャパシタの第1電極を形成する。

【0119】

例えば、PEP（Photo Engraving Process）及びRIE（Reactive Ion Etching）を用いて、半導体基板11内に格子状のトレンチを形成する。また、CVD法を用いて、格子状のトレンチを完全に満たす金属材料（例えば、Cu）12を形成する。この後、CMP法を用いて、金属材料12を研磨し、この金属材料12を格子状のトレンチ内のみに残存させれば、MIMキャパシタの第1電極が完成する。

【0120】

なお、トレンチ（第1電極）の形状は、格子状（図3）、すのこ状（図5）、

櫛状（図6及び図7）などに設定される。

【0121】

この後、CVD法を用いて、半導体基板11上に、MIMキャパシタの第1電極を覆う窒化シリコン膜（拡散防止絶縁膜）13を形成する。

【0122】

次に、図23に示すように、PEP及びRIEを用いて、キャパシタ形成予定領域内に存在する窒化シリコン膜13を除去する。

【0123】

次に、図24に示すように、スパッタ法を用いて、拡散防止膜（バリアメタル）としての窒化タングステン膜（WN）14を、窒化シリコン膜13上及びキャパシタ形成予定領域上に形成する。また、スパッタ法を用いて、窒化タングステン膜14上に、キャパシタ絶縁膜（例えば、 Ta_2O_5 ）15を形成する。続けて、スパッタ法を用いて、キャパシタ絶縁膜15上に、拡散防止膜（バリアメタル）としての窒化タングステン膜16を形成する。

【0124】

また、CVD法を用いて、窒化タングステン膜16上に、窒化シリコン膜17を形成する。この後、PEP及びRIEを用いて、窒化シリコン膜17、窒化タングステン膜16、キャパシタ絶縁膜15及び窒化タングステン膜14を順次エッチングする。このエッチングは、少なくともキャパシタ形成予定領域に、窒化タングステン膜14、キャパシタ絶縁膜15、窒化タングステン膜16及び窒化シリコン膜17が残存するように行われる。

【0125】

次に、図26に示すように、CVD法を用いて、窒化シリコン膜13、17上に、酸化シリコン膜（層間絶縁膜）18を形成する。続けて、CVD法を用いて、酸化シリコン膜18上に、エッチングストッパとしての窒化シリコン膜19を形成する。また、CVD法を用いて、窒化シリコン膜19上に、酸化シリコン膜（配線間絶縁膜）20を形成する。続けて、CVD法を用いて、酸化シリコン膜20上に、CMPのストッパとしての窒化シリコン膜21を形成する。

【0126】

この後、デュアルダマシンプロセスにより、MIMキャパシタの第2電極を形成する。

【0127】

例えば、まず、PEP及びRIEを用いて、窒化シリコン膜21及び酸化シリコン膜20に、配線溝としてのトレンチを形成する。酸化シリコン膜20のエッチング時、窒化シリコン膜19は、RIEのエッチングストップパとして機能する。このトレンチは、配線・パッド部、キャパシタ電極部を含み、キャパシタ電極部は、例えば、格子状のレイアウトを有する。

【0128】

さらに、続けて、PEP及びRIEを用いて、窒化シリコン膜19及び酸化シリコン膜18に、ヴィアホール (via hole) としてのトレンチを形成する。酸化シリコン膜18のエッチング時、窒化シリコン膜13, 17は、RIEのエッチングストップパとして機能する。

【0129】

なお、キャパシタ電極部におけるトレンチの形状は、格子状に限られず、例えば、図13に示すように、すのこ状（又は梯子状）であってもよく、また、図14及び図15に示すように、櫛状であってもよい。

【0130】

また、トレンチ底部の窒化シリコン膜13, 17をエッチングし、金属材料12の一部及び窒化タングステン膜16の一部を剥き出しにする。

【0131】

この後、メッキ法により、トレンチを完全に満たす金属材料（例えば、Cu）22A, 22Bを形成する。なお、金属材料22A, 22Bを形成する前に、トレンチ内面に、Ta₂Nなどのバリアメタルを形成しておいてもよい。

【0132】

そして、CMP法を用いて、金属材料22A, 22Bを研磨し、金属材料22A, 22Bをトレンチ内に残存させる。この時、窒化シリコン膜21は、CMPのストップパとして機能する。

【0133】

以上の工程により、図 1 及び図 2 の M I M キャパシタが完成する。

【 0 1 3 4 】

このような製造方法によれば、ダマシンプロセス（CMP プロセス）を採用し、かつ、C u（銅）のような大きな拡散係数を有する金属材料を配線材料として用いる場合に、第一に、金属材料（キャパシタ電極）の形状を、例えば、格子状とすることで、ディッシング現象を防止できる。また、第二に、キャパシタ絶縁膜を直接挟み込む拡散防止膜を設けることで、製造工程中に、金属原子がキャパシタ絶縁膜に拡散することを防止できる。第三に、拡散防止膜を、キャパシタ電極として機能させることにより、ディッシング現象の防止のために金属材料を格子状にしても、キャパシタ面積が小さくなることがない（配線ルールによらず、キャパシタ容量を大きくできる）。第四に、窒化タングステン膜 1 4 を、窒化シリコン膜 1 7、窒化タングステン膜 1 6 及びキャパシタ絶縁膜 1 5 と共に、R I E により加工しているため、製造工程が簡略化される。第五に、キャパシタのパターニング時に、金属材料（例えば、C u）が露出することがないので、金属原子による汚染をなくすことができる。

【 0 1 3 5 】

図 2 8 は、本発明の第 4 実施の形態に関わる M I M キャパシタの断面図を示している。

【 0 1 3 6 】

本例のデバイス構造は、図 2 1 の例と比べると、窒化タングステン膜 1 4、キャパシタ絶縁膜 1 5、窒化タングステン膜 1 6 及び窒化シリコン膜 1 7 が、それぞれ窒化シリコン膜 1 3 の溝内に収まっている点にある。

【 0 1 3 7 】

以下、具体的なデバイス構造について説明する。

【 0 1 3 8 】

半導体基板（例えば、シリコン基板）1 1 内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 1 2、例えば、C u（銅）が満たされる。半導体基板 1 1 内のトレンチ内に満たされた金属材料 1 2 は、M I M キャパシタの第 1 電極となる。

【0139】

MIMキャパシタの第1電極の形状としては、例えば、格子状、すのこ状（又は梯子状）、櫛状などに設定される。

【0140】

半導体基板11上には、MIMキャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜（SiN）13が形成される。このキャパシタ形成予定領域は、窒化シリコン膜13の壁に取り囲まれた溝となっている。キャパシタ形成予定領域には、窒化タングステン膜（WN）14が形成される。窒化タングステン膜14は、キャパシタ形成予定領域内に完全に収まっている。

【0141】

窒化タングステン膜14は、金属材料（例えば、Cu）12の拡散防止膜として機能すると共に、格子状の第1電極上に配置されることによりキャパシタ面積を増加させる機能を有する。窒化タングステン膜14上には、キャパシタ絶縁膜（例えば、 Ta_2O_5 ）15が形成される。

【0142】

キャパシタ絶縁膜15上には、窒化タングステン膜（WN）16が形成される。窒化タングステン膜16は、後述するMIMキャパシタの第2電極としての金属材料（例えば、Cu）の拡散防止膜として機能すると共に、後述する格子状の第2電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【0143】

窒化タングステン膜16上には、窒化シリコン膜（SiN）17が形成される。窒化シリコン膜17は、窒化シリコン膜13と共に、エッチング時（即ち、トレンチ形成時）のストッパとして機能する（詳細については、製造方法の説明で述べる。）。。

【0144】

なお、窒化タングステン膜14、16及びキャパシタ絶縁膜15は、同じパターンを有している。

【0145】

窒化シリコン膜13、17上には、酸化シリコン膜（ SiO_2 ）18が形成さ

れ、酸化シリコン膜 1 8 上には、窒化シリコン膜 1 9 が形成される。窒化シリコン膜 1 9 は、デュアルダマシンプロセスにおけるトレンチ形成時のストッパとして機能する。窒化シリコン膜 1 9 上には、酸化シリコン膜 (SiO_2) 2 0 が形成され、酸化シリコン膜 2 0 上には、窒化シリコン膜 2 1 が形成される。窒化シリコン膜 2 1 は、CMP (Chemical Mechanical Polishing) プロセスにおけるストッパとして機能する。

【 0 1 4 6 】

酸化シリコン膜 2 0 内 (窒化シリコン膜 1 9 よりも上の部分) には、例えば、格子状トレンチや、配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜 1 8 及び窒化シリコン膜 1 3 には、窒化タングステン膜 1 6 や金属材料 (例えば Cu) 1 2 まで達するヴィアホールとしてのトレンチが形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 2 2 A, 2 2 B、例えば、Cu (銅) が満たされる。トレンチ内に満たされた金属材料 2 2 A は、MIM キャパシタの第 2 電極となる。

【 0 1 4 7 】

以上のような構造によれば、まず、MIM キャパシタの第 1 及び第 2 電極がそれぞれ格子状、すのこ状 (又は梯子状)、櫛状などのディッシング現象が発生し難い形状となっている。

【 0 1 4 8 】

また、MIM キャパシタの第 1 及び第 2 電極が大きな拡散係数を有する金属材料 (例えば、Cu) から構成される場合に、第 1 電極に接触する板状の拡散防止膜 (例えば、窒化タングステン膜 1 4) と第 2 電極に接触する板状の拡散防止膜 (例えば、窒化タングステン膜 1 6) を設けている。これら拡散防止膜は、MIM キャパシタのキャパシタ面積を増加させる機能も有する。

【 0 1 4 9 】

そして、キャパシタ絶縁膜 (例えば、 Ta_2O_5) 1 5 は、2 つの拡散防止膜に挟まれ、大きな拡散係数を有する金属材料 (例えば、Cu) に直接接触することがない。

【 0 1 5 0 】

従って、MIMキャパシタの電極を構成する大きな拡散係数を有する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【0151】

次に、図28のMIMキャパシタの製造方法について説明する。

【0152】

まず、図29に示すように、ダマシンプロセスにより、半導体基板11内にMIMキャパシタの第1電極を形成する。

【0153】

例えば、PEP (Photo Engraving Process) 及びRIE (Reactive Ion Etching) を用いて、半導体基板11内に格子状のトレンチを形成する。また、CVD法を用いて、格子状のトレンチを完全に満たす金属材料（例えば、Cu）12を形成する。この後、CMP法を用いて、金属材料12を研磨し、この金属材料12を格子状のトレンチ内のみに残存させれば、MIMキャパシタの第1電極が完成する。

【0154】

なお、トレンチ（第1電極）の形状は、格子状（図3）、すのこ状（図5）、櫛状（図6及び図7）などに設定される。

【0155】

この後、CVD法を用いて、半導体基板11上に、MIMキャパシタの第1電極を覆う窒化シリコン膜（拡散防止絶縁膜）13を形成する。

【0156】

次に、図30に示すように、PEP及びRIEを用いて、キャパシタ形成予定領域内に存在する窒化シリコン膜13を除去する。

【0157】

次に、図31に示すように、スパッタ法を用いて、拡散防止膜（バリアメタル）としての窒化タングステン膜（WN）14を、窒化シリコン膜13上及びキャパシタ形成予定領域上に形成する。また、スパッタ法を用いて、窒化タングステン膜14上に、キャパシタ絶縁膜（例えば、 Ta_2O_5 ）15を形成する。続け

て、スパッタ法を用いて、キャパシタ絶縁膜 1 5 上に、拡散防止膜（バリアメタル）としての窒化タングステン膜 1 6 を形成する。また、CVD法を用いて、窒化タングステン膜 1 6 上に、窒化シリコン膜（拡散防止絶縁膜）1 7 を形成する。

【0158】

次に、図 3 2 に示すように、PEP 及び RIE を用いて、窒化シリコン膜 1 7、窒化タングステン膜 1 6、キャパシタ絶縁膜 1 5 及び窒化タングステン膜 1 4 を順次エッチングする。このエッチングは、キャパシタ形成予定領域内に、窒化タングステン膜 1 4、キャパシタ絶縁膜 1 5、窒化タングステン膜 1 6 及び窒化シリコン膜 1 7 が残存するように行われる。

【0159】

本例では、窒化タングステン膜 1 4、キャパシタ絶縁膜 1 5、窒化タングステン膜 1 6 及び窒化シリコン膜 1 7 は、キャパシタ形成予定領域内、即ち、窒化シリコン膜 1 3 の溝内に完全に収まっている。

【0160】

次に、図 3 3 に示すように、CVD法を用いて、窒化シリコン膜 1 3、1 7 上に、酸化シリコン膜（層間絶縁膜）1 8 を形成する。続けて、CVD法を用いて、酸化シリコン膜 1 8 上に、エッチングストッパとしての窒化シリコン膜 1 9 を形成する。また、CVD法を用いて、窒化シリコン膜 1 9 上に、酸化シリコン膜（配線間絶縁膜）2 0 を形成する。続けて、CVD法を用いて、酸化シリコン膜 2 0 上に、CMP のストッパとしての窒化シリコン膜 2 1 を形成する。

【0161】

この後、デュアルダマシンプロセスにより、MIM キャパシタの第 2 電極を形成する。

【0162】

例えば、まず、PEP 及び RIE を用いて、窒化シリコン膜 2 1 及び酸化シリコン膜 2 0 に、配線溝としてのトレンチを形成する。酸化シリコン膜 2 0 のエッチング時、窒化シリコン膜 1 9 は、RIE のエッチングストッパとして機能する。このトレンチは、配線・パッド部、キャパシタ電極部を含み、キャパシタ電極

部は、例えば、格子状のレイアウトを有する。

【0163】

さらに、続けて、PEP及びRIEを用いて、窒化シリコン膜19及び酸化シリコン膜18に、ビアホール (via hole) としてのトレンチを形成する。酸化シリコン膜18のエッチング時、窒化シリコン膜13, 17は、RIEのエッチングストッパとして機能する。

【0164】

なお、キャパシタ電極部におけるトレンチの形状は、格子状に限られず、例えば、図13に示すように、すのこ状（又は梯子状）であってもよく、また、図14及び図15に示すように、櫛状であってもよい。

【0165】

また、トレンチ底部の窒化シリコン膜13, 17をエッチングし、金属材料12の一部及び窒化タングステン膜16の一部を剥き出しにする。

【0166】

この後、メッキ法により、トレンチを完全に満たす金属材料（例えば、Cu）22A, 22Bを形成する。なお、金属材料22A, 22Bを形成する前に、トレンチ内面に、Ta₂Nなどのバリアメタルを形成しておいてもよい。

【0167】

そして、CMP法を用いて、金属材料22A, 22Bを研磨し、金属材料22A, 22Bをトレンチ内に残存させる。この時、窒化シリコン膜21は、CMPのストッパとして機能する。

【0168】

以上の工程により、図28のMIMキャパシタが完成する。

【0169】

このような製造方法によれば、ダマシンプロセス（CMPプロセス）を採用し、かつ、Cu（銅）のような大きな拡散係数を有する金属材料を配線材料として用いる場合に、第一に、金属材料（キャパシタ電極）の形状を、例えば、格子状とすることで、ディッシング現象を防止できる。また、第二に、キャパシタ絶縁膜を直接挟み込む拡散防止膜を設けることで、製造工程中に、金属原子がキャパ

シタ絶縁膜に拡散することを防止できる。第三に、拡散防止膜を、キャパシタ電極として機能させることにより、ディッシング現象の防止のために金属材料を格子状にしても、キャパシタ面積が小さくなることのない（配線ルールによらず、キャパシタ容量を大きくできる）。第四に、窒化タングステン膜 1 4 を、窒化シリコン膜 1 7、窒化タングステン膜 1 6 及びキャパシタ絶縁膜 1 5 と共に、R I Eにより加工しているため、製造工程が簡略化される。

【 0 1 7 0 】

図 3 4 は、本発明の第 5 実施の形態に関わる M I M キャパシタの断面図を示している。

【 0 1 7 1 】

本例のデバイス構造は、上述してきた第 1 - 第 4 実施の形態とは異なり、拡散防止膜を用いることなく、キャパシタ絶縁膜自体に拡散防止機能を持たせる点に特徴を有する。

【 0 1 7 2 】

以下、具体的なデバイス構造について説明する。

【 0 1 7 3 】

半導体基板（例えば、シリコン基板）1 1 内には、トレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 1 2、例えば、C u（銅）が満たされる。半導体基板 1 1 内のトレンチ内に満たされた金属材料 1 2 は、M I M キャパシタの第 1 電極となる。

【 0 1 7 4 】

キャパシタ形成予定領域に形成された金属材料 1 2 の形状は、板状になっており、その他の領域に形成された金属材料は、例えば、格子状、すのこ状（又は梯子状）、櫛状などに設定される。

【 0 1 7 5 】

半導体基板 1 1 上には、キャパシタ絶縁膜 1 5 が形成される。本例では、キャパシタ絶縁膜 1 5 は、金属原子（例えば、C u）の拡散防止機能を有する材料から構成される。また、後述する層間絶縁膜（窒化シリコン膜 1 7、酸化シリコン膜 1 8、2 0 など）に対してエッチング選択比を有する材料から構成される。

【0176】

キャパシタ絶縁膜15上には、窒化シリコン膜(SiN)17が形成される。窒化シリコン膜17は、エッチング時(即ち、トレンチ形成時)のストッパとして機能する(詳細については、製造方法の説明で述べる。)

【0177】

窒化シリコン膜17上には、酸化シリコン膜(SiO₂)18が形成され、酸化シリコン膜18上には、窒化シリコン膜19が形成される。窒化シリコン膜19は、デュアルダマシンプロセスにおける溝形成時のストッパとして機能する。窒化シリコン膜19上には、酸化シリコン膜(SiO₂)20が形成され、酸化シリコン膜20上には、窒化シリコン膜21が形成される。窒化シリコン膜21は、CMP (Chemical Mechanical Polishing) プロセスにおけるストッパとして機能する。

【0178】

酸化シリコン膜20内(窒化シリコン膜19よりも上の部分)には、配線溝としてのトレンチが形成される。また、酸化シリコン膜18及び窒化シリコン膜17には、キャパシタ絶縁膜15や金属材料(例えばCu)12まで達するヴィアホールとしてのトレンチが形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料22A、22B、例えば、Cu(銅)が満たされる。トレンチ内に満たされた金属材料のうち、キャパシタ形成予定領域内のMIMキャパシタの第2電極となる金属材料22Aの形状は、板状となっている。

【0179】

以上のような構造によれば、MIMキャパシタの第1及び第2電極が大きな拡散係数を有する金属材料(例えば、Cu)から構成される場合でも、キャパシタ絶縁膜15自体が拡散防止機能を有するため、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【0180】

次に、図34のMIMキャパシタの製造方法について説明する。

【0181】

まず、図35及び図36に示すように、ダマシンプロセスにより、半導体基板

1 1 内に M I M キャパシタの第 1 電極を形成する。

【 0 1 8 2 】

例えば、P E P (Photo Engraving Process) 及び R I E (Reactive Ion Etching) を用いて、半導体基板 1 1 内にトレンチを形成する。また、C V D 法を用いて、トレンチを完全に満たす金属材料（例えば、C u）1 2 を形成する。この後、C M P 法を用いて、金属材料 1 2 を研磨し、この金属材料 1 2 をトレンチ内のみに残存させれば、M I M キャパシタの第 1 電極が完成する。

【 0 1 8 3 】

この後、スパッタ法を用いて、半導体基板 1 1 上に、M I M キャパシタのキャパシタ絶縁膜 1 5 を形成する。また、C V D 法を用いて、キャパシタ絶縁膜 1 5 上に、窒化シリコン膜 1 7 を形成する。

【 0 1 8 4 】

次に、図 3 7 に示すように、C V D 法を用いて、窒化シリコン膜 1 7 上に、酸化シリコン膜（層間絶縁膜）1 8 を形成する。

【 0 1 8 5 】

次に、図 3 8 に示すように、C V D 法を用いて、酸化シリコン膜 1 8 上に、エッチングストップとしての窒化シリコン膜 1 9 を形成する。C V D 法を用いて、窒化シリコン膜 1 9 上に、酸化シリコン膜（配線間絶縁膜）2 0 を形成する。続けて、C V D 法を用いて、酸化シリコン膜 2 0 上に、C M P のストップとしての窒化シリコン膜 2 1 を形成する。

【 0 1 8 6 】

そして、この後、デュアルダマシンプロセスにより、M I M キャパシタの第 2 電極を形成する。

【 0 1 8 7 】

例えば、まず、P E P 及び R I E を用いて、窒化シリコン膜 2 1 及び酸化シリコン膜 2 0 に、配線溝としてのトレンチを形成する。酸化シリコン膜 2 0 のエッチング時、窒化シリコン膜 1 9 は、R I E のエッチングストップとして機能する。このトレンチは、配線・パッド部、キャパシタ電極部を含み、キャパシタ電極部は、例えば、板状となる。

【0188】

さらに、続けて、PEP及びRIEを用いて、窒化シリコン膜19及び酸化シリコン膜18に、ビアホール (via hole) としてのトレンチを形成する。酸化シリコン膜18のエッチング時、窒化シリコン膜17は、RIEのエッチングストップパとして機能する。

【0189】

また、トレンチ底部の窒化シリコン膜17をエッチングし、キャパシタ絶縁膜15を露出させる。さらに、トレンチ底部に露出したキャパシタ絶縁膜15のうち、キャパシタ形成予定領域のキャパシタ絶縁膜15を残し、その他の部分のキャパシタ絶縁膜15を選択的に除去する。

【0190】

その結果、キャパシタ形成予定領域では、キャパシタ絶縁膜15が露出し、その他の領域では、金属材料12の一部が剥き出しになる。

【0191】

この後、メッキ法により、トレンチを完全に満たす金属材料（例えば、Cu）22A、22Bを形成する。なお、金属材料22A、22Bを形成する前に、トレンチ内面に、Ta₂Nなどのバリアメタルを形成しておいてもよい。

【0192】

次に、図39に示すように、CMP法を用いて、金属材料22A、22Bを研磨し、金属材料22A、22Bをトレンチ内に残存させる。この時、窒化シリコン膜21は、CMPのストップパとして機能する。なお、MIMキャパシタの第2電極の形状の一例としては、例えば図40に示すようなものが考えられる。

【0193】

以上の工程により、図34のMIMキャパシタが完成する。

【0194】

このような製造方法によれば、ダマシンプロセス（CMPプロセス）とCu（銅）のような大きな拡散係数を有する金属材料を用いる場合に、キャパシタ絶縁膜15自体が拡散防止機能を有しているため、キャパシタ絶縁膜15の汚染（リーク電流）を有効に防止できる。また、キャパシタ形成予定領域では、電極が板

状になっているため、キャパシタ面積の増大（大きなキャパシタ容量）を確保できる。また、キャパシタ形成予定領域以外の領域では、電極が格子状、すのこ状、櫛状などになっているため、ディッシング現象を防止できる。さらに、キャパシタ絶縁膜 1 5 を、酸化シリコン膜や窒化シリコン膜に対してエッチング選択比を有するものから構成することで、製造工程が簡略化される。

【 0 1 9 5 】

図 4 1 は、本発明の第 6 実施の形態に関わる MIM キャパシタの断面図を示している。

【 0 1 9 6 】

本例は、RF アナログデバイスと CMOS ロジックデバイスを 1 チップ内に混載した RF-CMOS デバイスに関する。

【 0 1 9 7 】

本例に関わるのデバイスは、RF アナログエリア内の MIM キャパシタに使用する拡散防止膜を、CMOS ロジックエリア内の素子（又はその一部）として用いる点に特徴を有する。

【 0 1 9 8 】

半導体基板 1 1 内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 1 2、例えば、Cu（銅）が満たされる。半導体基板 1 1 内のトレンチ内に満たされた金属材料 1 2 は、MIM キャパシタの第 1 電極となる。

【 0 1 9 9 】

半導体基板 1 1 上には、MIM キャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜（SiN）1 3 が形成される。MIM キャパシタのキャパシタ形成予定領域は、窒化シリコン膜 1 3 の壁に取り囲まれた溝となっている。

【 0 2 0 0 】

そして、キャパシタ形成予定領域には、窒化タングステン膜（WN）1 4 が形成される。窒化タングステン膜 1 4 は、金属材料（例えば、Cu）1 2 の拡散防止膜として機能すると共に、格子状の第 1 電極上に配置されることによりキャパシタ面積を増加させる機能を有する。

【 0 2 0 1 】

また、本例では、CMOSロジック領域において、窒化タングステン膜14Aを用いて抵抗素子を形成している。窒化タングステン膜14Aは、例えば、窒化タングステン膜14と同時に形成され、窒化タングステン膜14の厚さと同じ厚さを有している。

【 0 2 0 2 】

つまり、拡散防止膜として機能する窒化タングステン膜14を形成するステップを、CMOSロジック領域内の抵抗素子（窒化タングステン膜14A）を形成するステップと併用することができる。その結果、本発明に係わるデバイスを製造するに当たって、従来に比べて、ステップ数の増加が実質的になくなり、製造コストの増加を防ぐことができる。

【 0 2 0 3 】

なお、本例では、窒化タングステン膜14Aと窒化タングステン膜14が同時に形成され、同じ厚さを有しているが、例えば、窒化タングステン膜14Aは、窒化タングステン膜14、16の積層から構成されるようにしてもよい。

【 0 2 0 4 】

窒化タングステン膜14上には、キャパシタ絶縁膜（例えば、 Ta_2O_5 ）15が形成される。キャパシタ絶縁膜15上には、窒化タングステン膜（WN）16が形成される。窒化タングステン膜16は、後述するMIMキャパシタの第2電極としての金属材料（例えば、Cu）の拡散防止膜として機能すると共に、後述する格子状の第2電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【 0 2 0 5 】

窒化タングステン膜16上には、窒化シリコン膜（SiN）17が形成される。窒化シリコン膜17は、窒化シリコン膜13と共に、エッチング時（即ち、トレンチ形成時）のストッパとして機能する。

【 0 2 0 6 】

窒化シリコン膜13、17上には、酸化シリコン膜（ SiO_2 ）18が形成され、酸化シリコン膜18上には、窒化シリコン膜19が形成される。窒化シリコ

ン膜 1 9 は、デュアルダマシンプロセスにおけるトレンチ形成時のストッパとして機能する。窒化シリコン膜 1 9 上には、酸化シリコン膜 (SiO_2) 2 0 が形成され、酸化シリコン膜 2 0 上には、窒化シリコン膜 2 1 が形成される。窒化シリコン膜 2 1 は、CMP (Chemical Mechanical Polishing) プロセスにおけるストッパとして機能する。

【 0 2 0 7 】

酸化シリコン膜 2 0 内 (窒化シリコン膜 1 9 よりも上の部分) には、例えば、格子状トレンチや、配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜 1 8 及び窒化シリコン膜 1 3 には、窒化タングステン膜 1 4 A, 1 6 や金属材料 (例えば Cu) 1 2 まで達するトレンチ (ヴィアホール (via hole)) が形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 2 2 A, 2 2 B, 2 2 C, 2 2 D、例えば、Cu (銅) が満たされる。

【 0 2 0 8 】

トレンチ内に満たされた金属材料 2 2 A は、MIM キャパシタの第 2 電極となる。また、CMOS ロジック領域内においてトレンチ内に満たされた金属材料 2 2 C, 2 2 D は、抵抗素子 (窒化タングステン膜) 1 4 A の電極となる。

【 0 2 0 9 】

なお、本例では、MIM キャパシタの第 1 及び第 2 電極のレイアウトを格子状としているが、これは、ダマシンプロセス (CMP プロセス) においてディッシング現象を防止するためである。よって、ディッシング現象を防止できる構造であれば、トレンチの形状は、格子状に限られず、例えば、すのこ状 (又は梯子状)、櫛状などであってもよい。

【 0 2 1 0 】

以上のようなデバイス構造によれば、MIM キャパシタの第 1 及び第 2 電極が大きな拡散係数を有する金属材料 (例えば、Cu) から構成される場合に、第 1 電極に接触する板状の拡散防止膜 (例えば、窒化タングステン膜 1 4) と第 2 電極に接触する板状の拡散防止膜 (例えば、窒化タングステン膜 1 6) を設けている。これら拡散防止膜は、MIM キャパシタのキャパシタ面積を増加させる機能も有する。

【 0 2 1 1 】

そして、キャパシタ絶縁膜（例えば、 Ta_2O_5 ）15は、2つの拡散防止膜に挟まれ、大きな拡散係数を有する金属材料（例えば、Cu）に直接接触することがない。

【 0 2 1 2 】

従って、MIMキャパシタの電極を構成する大きな拡散係数を有する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能なMIMキャパシタを提供できる。

【 0 2 1 3 】

また、本例では、RFーアナログエリア内のMIMキャパシタに使用する拡散防止膜14、16の少なくとも1つを、CMOSロジックエリア内の素子（本例では、抵抗素子）として使用している。このため、拡散防止膜として機能する窒化タングステン膜14、16を形成するステップを、CMOSロジック領域内の素子（本例では、抵抗素子）を形成するステップと併用することができる。その結果、製造ステップ数の増加なく、本発明に係わるデバイスを製造することができ、製造コストの増加を抑えることができる。

【 0 2 1 4 】

図42は、本発明の第7実施の形態に関わるMIMキャパシタの平面図を示している。図43は、図42のX L I I I - X L I I I 線に沿う断面図である。

【 0 2 1 5 】

本例のMIMキャパシタは、上述の第1実施の形態のMIMキャパシタ変形例である。本例のMIMキャパシタが上述の第1実施の形態のMIMキャパシタと異なる点は、MIMキャパシタの第1電極（第1電極12）が、半導体基板11内ではなく、半導体基板11上の絶縁膜（例えば、層間絶縁膜）23内に形成されている点にある。

【 0 2 1 6 】

このように、MIMキャパシタを、半導体基板11上の絶縁膜23上に形成することにより、例えば、絶縁膜23の直下には、MIMキャパシタ以外の素子（例えば、MOSトランジスタなど）を形成することができる。つまり、1チップ

内に、素子を 3 次元的に配置することで、1 チップ内に、素子を高密度に配置することができる。

【 0 2 1 7 】

図 4 4 は、本発明の第 8 実施の形態に関わる M I M キャパシタの断面図を示している。

【 0 2 1 8 】

本例は、上述の第 7 実施の形態に関わる M I M キャパシタの応用例である。

【 0 2 1 9 】

本例に関わるのデバイスの特徴は、M I M キャパシタの第 1 電極が層間絶縁膜内に形成され、かつ、その層間絶縁膜の直下には、M O S トランジスタが形成される点にある。

【 0 2 2 0 】

半導体基板 1 1 の表面領域には、M O S トランジスタのソース／ドレイン領域 2 4 が形成される。ソース／ドレイン領域 2 4 の間のチャネル領域上には、ゲート絶縁膜 2 5 を介してゲート電極 2 6 が形成される。M O S トランジスタ上には、M O S トランジスタを完全に覆う絶縁膜 2 7 が形成される。

【 0 2 2 1 】

絶縁膜 2 7 上には、エッチングストoppaとしての窒化シリコン膜 2 8 が形成される。窒化シリコン膜 2 8 上には、層間絶縁膜 2 3 が形成される。層間絶縁膜 2 3 上には、マスク材又はエッチングストoppaとしての窒化シリコン膜 1 3 が形成される。

【 0 2 2 2 】

層間絶縁膜 2 3 内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 1 2、例えば、C u（銅）が満たされる。層間絶縁膜 2 3 内のトレンチ内に満たされた金属材料 1 2 は、M I M キャパシタの第 1 電極となる。

【 0 2 2 3 】

また、層間絶縁膜 2 3 内には、例えば、配線のためのトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 2 9、例えば

、Cu（銅）が満たされる。

【0224】

層間絶縁膜23上には、MIMキャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜（SiN）13が形成される。MIMキャパシタのキャパシタ形成予定領域は、窒化シリコン膜13の壁に取り囲まれた溝となっている。

【0225】

そして、キャパシタ形成予定領域には、窒化タングステン膜（WN）14が形成される。窒化タングステン膜14は、金属材料（例えば、Cu）12の拡散防止膜として機能すると共に、格子状の第1電極上に配置されることによりキャパシタ面積を増加させる機能を有する。

【0226】

窒化タングステン膜14上には、キャパシタ絶縁膜（例えば、Ta₂O₅）15が形成される。キャパシタ絶縁膜15上には、窒化タングステン膜（WN）16が形成される。窒化タングステン膜16は、後述するMIMキャパシタの第2電極としての金属材料（例えば、Cu）の拡散防止膜として機能すると共に、後述する格子状の第2電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【0227】

窒化タングステン膜16上には、窒化シリコン膜（SiN）17が形成される。窒化シリコン膜17は、窒化シリコン膜13と共に、エッチング時（即ち、トレンチ形成時）のストッパとして機能する。

【0228】

窒化シリコン膜13、17上には、酸化シリコン膜（SiO₂）18が形成され、酸化シリコン膜18上には、窒化シリコン膜19が形成される。窒化シリコン膜19は、デュアルダマシンプロセスにおけるトレンチ形成時のストッパとして機能する。窒化シリコン膜19上には、酸化シリコン膜（SiO₂）20が形成され、酸化シリコン膜20上には、窒化シリコン膜21が形成される。窒化シリコン膜21は、CMP（Chemical Mechanical Polishing）プロセスにおけるストッパとして機能する。

【 0 2 2 9 】

酸化シリコン膜 2 0 内（窒化シリコン膜 1 9 よりも上の部分）には、例えば、格子状トレンチや、配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜 1 8 及び窒化シリコン膜 1 3 には、窒化タングステン膜 1 6 や金属材料（例えば Cu）1 2 まで達するトレンチ（ヴィアホール（via hole））が形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 2 2 A、2 2 B、例えば、Cu（銅）が満たされる。トレンチ内に満たされた金属材料 2 2 A は、MIM キャパシタの第 2 電極となる。

【 0 2 3 0 】

以上のようなデバイス構造によれば、MIM キャパシタの第 1 及び第 2 電極が大きな拡散係数を有する金属材料から構成される場合に、第 1 電極に接触する板状の拡散防止膜と第 2 電極に接触する板状の拡散防止膜を設けている。このため、MIM キャパシタの電極を構成する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能な MIM キャパシタを提供できる。

【 0 2 3 1 】

また、本例では、MIM キャパシタの直下に、MOS トランジスタを形成している。このように、MIM キャパシタを半導体基板 1 1 上の層間絶縁膜上に形成し、かつ、この層間絶縁膜の直下には、MIM キャパシタ以外の素子（例えば、MOS トランジスタなど）を形成すれば、1 チップ内に、素子を 3 次元的に配置することができ、素子の高密度化に貢献できる。

【 0 2 3 2 】

また、層間絶縁膜 2 3 内には、MIM キャパシタの電極に加えて、通常の配線が形成される。即ち、MIM キャパシタの電極及び通常の配線は、共に、同一の金属材料（例えば、Cu）から構成される。従って、本発明は、多層配線構造を有するデバイスに最適である。

【 0 2 3 3 】

ところで、本例では、MIM キャパシタと MOS トランジスタが非常に近接して配置される。従って、MIM キャパシタの電極に与えられる信号と MOS トラ

ンジスタのゲート電極に与えられる信号が互いに干渉し合わないようにするための対策が必要である。

【 0 2 3 4 】

例えば、MIMキャパシタの電極に与えられる信号の周波数とMOSトランジスタのゲート電極に与えられる信号の周波数との差が50倍未満である、という条件を満たせば、両信号が互いに干渉し合わなくなるため、本例のデバイス構造は、非常に有効なものとなる。

【 0 2 3 5 】

一方、MIMキャパシタの電極に与えられる信号の周波数とMOSトランジスタのゲート電極に与えられる信号の周波数との差が50倍以上である場合には、両信号は、互いに干渉し合うようになるため、本例のデバイス構造を改良する必要がある。

【 0 2 3 6 】

図45は、本発明の第9実施の形態に関わるMIMキャパシタの断面図を示している。

【 0 2 3 7 】

本例は、上述の第8実施の形態に関わるMIMキャパシタの改良例であり、MIMキャパシタの電極に与えられる信号の周波数とMOSトランジスタのゲート電極に与えられる信号の周波数との差が50倍以上である場合においても、両信号が互いに干渉し合わないようなデバイス構造を有するものである。

【 0 2 3 8 】

本例に関わるのデバイスの特徴を簡単に述べると、互いに上下方向に隣接して配置されるMIMキャパシタとMOSトランジスタの間に、シールド線を設けた点にある。シールド線は、一定電位（例えば、接地電位）に固定されているため、MIMキャパシタの電極に与えられる信号とMOSトランジスタのゲート電極に与えられる信号が互いに干渉し合わなくなるものである。

【 0 2 3 9 】

以下、具体的なデバイス構造について説明する。

【 0 2 4 0 】

半導体基板 1 1 の表面領域には、上述の第 8 実施の形態のデバイスと同様に、MOS トランジスタが形成される。MOS トランジスタ上には、MOS トランジスタを完全に覆う絶縁膜 2 7 が形成される。絶縁膜 2 7 上には、絶縁膜 3 1 及び窒化シリコン膜 3 2 が形成される。

【 0 2 4 1 】

絶縁膜 3 1 に設けられるトレンチ内には、シールド線 3 0 A が形成される。同様に、絶縁膜 3 1 に設けられるトレンチ内には、通常の配線（信号線、電源線など） 3 0 B も形成される。

【 0 2 4 2 】

シールド線 3 0 A 及び通常の配線 3 0 B 上には、層間絶縁膜 3 3 が形成される。層間絶縁膜 3 3 上には、エッチングストoppaとしての窒化シリコン膜 2 8 が形成される。窒化シリコン膜 2 8 上には、層間絶縁膜 2 3 が形成される。層間絶縁膜 2 3 上には、マスク材又はエッチングストoppaとしての窒化シリコン膜 1 3 が形成される。

【 0 2 4 3 】

層間絶縁膜 2 3 内には、例えば、格子状のトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 1 2、例えば、Cu（銅）が満たされる。層間絶縁膜 2 3 内のトレンチ内に満たされた金属材料 1 2 は、MIM キャパシタの第 1 電極となる。

【 0 2 4 4 】

また、層間絶縁膜 2 3 内には、例えば、通常の配線のためのトレンチが形成される。このトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 2 9、例えば、Cu（銅）が満たされる。

【 0 2 4 5 】

層間絶縁膜 2 3 上には、MIM キャパシタのキャパシタ形成予定領域を除き、窒化シリコン膜（SiN） 1 3 が形成される。MIM キャパシタのキャパシタ形成予定領域は、窒化シリコン膜 1 3 の壁に取り囲まれた溝となっている。

【 0 2 4 6 】

そして、キャパシタ形成予定領域には、窒化タングステン膜（WN） 1 4 が形

成される。窒化タングステン膜 1 4 は、金属材料（例えば、Cu）1 2 の拡散防止膜として機能すると共に、格子状の第 1 電極上に配置されることによりキャパシタ面積を増加させる機能を有する。

【 0 2 4 7 】

窒化タングステン膜 1 4 上には、キャパシタ絶縁膜（例えば、 Ta_2O_5 ）1 5 が形成される。キャパシタ絶縁膜 1 5 上には、窒化タングステン膜（WN）1 6 が形成される。窒化タングステン膜 1 6 は、後述する MIM キャパシタの第 2 電極としての金属材料（例えば、Cu）の拡散防止膜として機能すると共に、後述する格子状の第 2 電極下に配置されることによりキャパシタ面積を増加させる機能を有する。

【 0 2 4 8 】

窒化タングステン膜 1 6 上には、窒化シリコン膜（SiN）1 7 が形成される。窒化シリコン膜 1 7 は、窒化シリコン膜 1 3 と共に、エッチング時（即ち、トレンチ形成時）のストッパとして機能する。

【 0 2 4 9 】

窒化シリコン膜 1 3，1 7 上には、酸化シリコン膜（ SiO_2 ）1 8 が形成され、酸化シリコン膜 1 8 上には、窒化シリコン膜 1 9 が形成される。窒化シリコン膜 1 9 は、デュアルダマシンプロセスにおけるトレンチ形成時のストッパとして機能する。窒化シリコン膜 1 9 上には、酸化シリコン膜（ SiO_2 ）2 0 が形成され、酸化シリコン膜 2 0 上には、窒化シリコン膜 2 1 が形成される。窒化シリコン膜 2 1 は、CMP（Chemical Mechanical Polishing）プロセスにおけるストッパとして機能する。

【 0 2 5 0 】

酸化シリコン膜 2 0 内（窒化シリコン膜 1 9 よりも上の部分）には、例えば、格子状トレンチや、配線・パッド部のためのトレンチが形成される。また、酸化シリコン膜 1 8 及び窒化シリコン膜 1 3 には、窒化タングステン膜 1 6 や金属材料（例えば Cu）1 2 まで達するトレンチ（ヴィアホール（via hole））が形成される。これらトレンチ内には、低抵抗で、大きな拡散係数を有する金属材料 2 2 A，2 2 B、例えば、Cu（銅）が満たされる。トレンチ内に満たされた金属

材料 2 2 A は、MIM キャパシタの第 2 電極となる。

【 0 2 5 1 】

以上のようなデバイス構造によれば、MIM キャパシタの第 1 及び第 2 電極が大きな拡散係数を有する金属材料から構成される場合に、第 1 電極に接触する板状の拡散防止膜と第 2 電極に接触する板状の拡散防止膜を設けている。このため、MIM キャパシタの電極を構成する金属材料により、キャパシタ絶縁膜が汚染されることがなく、リーク電流を低減でき、高性能な MIM キャパシタを提供できる。

【 0 2 5 2 】

また、本例では、MIM キャパシタの直下に、MOS トランジスタを形成している。このように、MIM キャパシタを半導体基板 1 1 上の層間絶縁膜上に形成し、かつ、この層間絶縁膜の直下には、MIM キャパシタ以外の素子（例えば、MOS トランジスタなど）を形成すれば、1 チップ内に、素子を 3 次元的に配置することができ、素子の高密度化に貢献できる。

【 0 2 5 3 】

また、層間絶縁膜 2 3 内には、MIM キャパシタの電極に加えて、通常の配線が形成される。即ち、MIM キャパシタの電極及び通常の配線は、共に、同一の金属材料（例えば、Cu）から構成される。従って、本発明は、多層配線構造を有するデバイスに最適である。

【 0 2 5 4 】

さらに、本例では、MIM キャパシタと MOS トランジスタの間には、シールド線が配置される。シールド線は、一定電位（例えば、接地電位）に固定されているため、MIM キャパシタの電極に与えられる信号と MOS トランジスタのゲート電極に与えられる信号とが互いに干渉し合うことがない。

【 0 2 5 5 】

従って、本例によれば、MIM キャパシタの電極に与えられる信号の周波数と MOS トランジスタのゲート電極に与えられる信号の周波数との差が 5 0 倍以上であっても、正常動作が可能である。

【 0 2 5 6 】

【発明の効果】

以上、説明したように、本発明によれば、ダマシンプロセス（CMPプロセス）を採用し、かつ、Cu（銅）のような大きな拡散係数を有する金属材料を配線材料として用いる場合に、金属材料（キャパシタ電極）の形状を、例えば、格子状とすることで、ディッシング現象を防止できる。また、キャパシタ絶縁膜を直接挟み込む拡散防止膜を設けるか又はキャパシタ絶縁膜自体に拡散防止機能を持たせることで、製造工程中に、金属原子がキャパシタ絶縁膜に拡散することを防止できる。また、拡散防止膜を、キャパシタ電極として機能させれば、例えば、ディッシング現象の防止のために金属材料を格子状にしても、キャパシタ面積が小さくなることがない（配線ルールによらず、キャパシタ容量を大きくできる）。また、キャパシタのパターニング時に、金属材料（例えば、Cu）が露出することがないので、金属原子による汚染をなくすことができる。また、キャパシタ構造が平坦であり、高信頼性を得るのに有利である。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施の形態である MIM キャパシタを示す平面図。

【図 2】

図 1 の I I - I I 線に沿う断面図。

【図 3】

図 1 及び図 2 のデバイスの製造方法の一工程を示す平面図。

【図 4】

図 3 の I V - I V 線に沿う断面図。

【図 5】

キャパシタの第 1 電極のレイアウトの例を示す平面図。

【図 6】

キャパシタの第 1 電極のレイアウトの例を示す平面図。

【図 7】

キャパシタの第 1 電極のレイアウトの例を示す平面図。

【図 8】

図 1 及び図 2 のデバイスの製造方法の一工程を示す平面図。

【図 9】

図 8 の I X - I X 線に沿う断面図。

【図 1 0】

図 1 及び図 2 のデバイスの製造方法の一工程を示す平面図。

【図 1 1】

図 1 及び図 2 のデバイスの製造方法の一工程を示す平面図。

【図 1 2】

図 1 1 の X I I - X I I 線に沿う断面図。

【図 1 3】

キャパシタの第 2 電極のレイアウトの例を示す平面図。

【図 1 4】

キャパシタの第 2 電極のレイアウトの例を示す平面図。

【図 1 5】

キャパシタの第 2 電極のレイアウトの例を示す平面図。

【図 1 6】

本発明の第 2 実施の形態である M I M キャパシタを示す断面図。

【図 1 7】

図 1 6 のデバイスの製造方法の一工程を示す断面図。

【図 1 8】

図 1 6 のデバイスの製造方法の一工程を示す断面図。

【図 1 9】

図 1 6 のデバイスの製造方法の一工程を示す断面図。

【図 2 0】

図 1 6 のデバイスの製造方法の一工程を示す断面図。

【図 2 1】

本発明の第 3 実施の形態である M I M キャパシタを示す断面図。

【図 2 2】

図 2 1 のデバイスの製造方法の一工程を示す断面図。

【図 2 3】

図 2 1 のデバイスの製造方法の一工程を示す断面図。

【図 2 4】

図 2 1 のデバイスの製造方法の一工程を示す断面図。

【図 2 5】

図 2 1 のデバイスの製造方法の一工程を示す断面図。

【図 2 6】

図 2 1 のデバイスの製造方法の一工程を示す断面図。

【図 2 7】

キャパシタの第 2 電極のレイアウトの例を示す平面図。

【図 2 8】

本発明の第 4 実施の形態である M I M キャパシタを示す断面図。

【図 2 9】

図 2 8 のデバイスの製造方法の一工程を示す断面図。

【図 3 0】

図 2 8 のデバイスの製造方法の一工程を示す断面図。

【図 3 1】

図 2 8 のデバイスの製造方法の一工程を示す断面図。

【図 3 2】

図 2 8 のデバイスの製造方法の一工程を示す断面図。

【図 3 3】

図 2 8 のデバイスの製造方法の一工程を示す断面図。

【図 3 4】

本発明の第 5 実施の形態である M I M キャパシタを示す断面図。

【図 3 5】

図 3 4 のデバイスの製造方法の一工程を示す平面図。

【図 3 6】

図 3 5 の X X X V I - X X X V I 線に沿う断面図。

【図 3 7】

図 3 4 のデバイスの製造方法の一工程を示す断面図。

【図 3 8】

図 3 4 のデバイスの製造方法の一工程を示す断面図。

【図 3 9】

図 3 4 のデバイスの製造方法の一工程を示す断面図。

【図 4 0】

キャパシタの第 2 電極のレイアウトの例を示す平面図。

【図 4 1】

本発明の第 6 実施の形態である M I M キャパシタを示す断面図。

【図 4 2】

本発明の第 7 実施の形態である M I M キャパシタを示す平面図。

【図 4 3】

図 4 2 の X L I I I - X L I I I 線に沿う断面図。

【図 4 4】

本発明の第 8 実施の形態である M I M キャパシタを示す断面図。

【図 4 5】

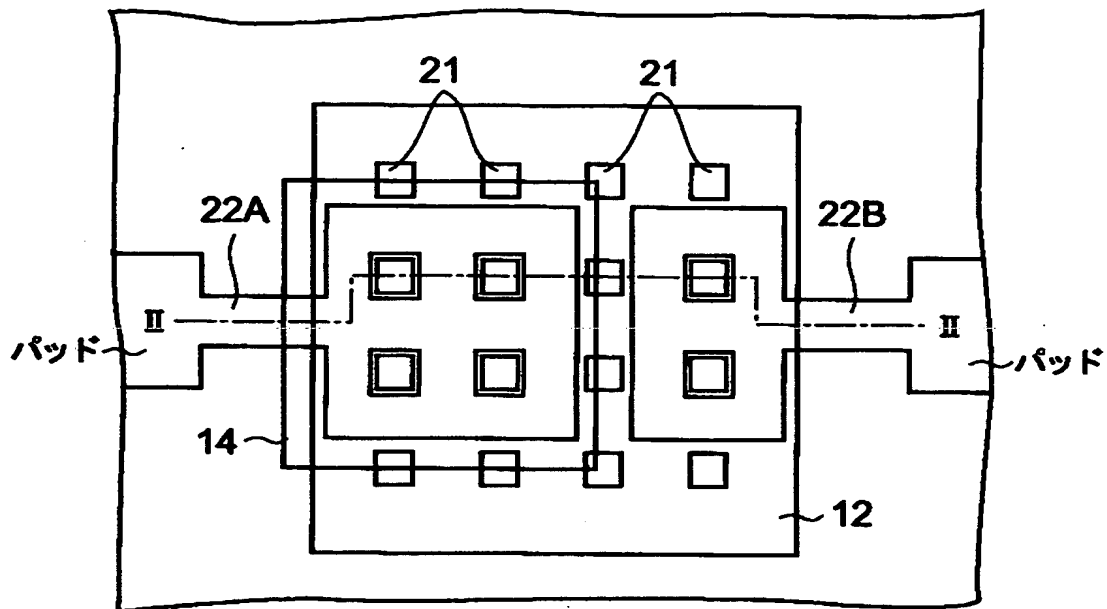
本発明の第 9 実施の形態である M I M キャパシタを示す断面図。

【符号の説明】

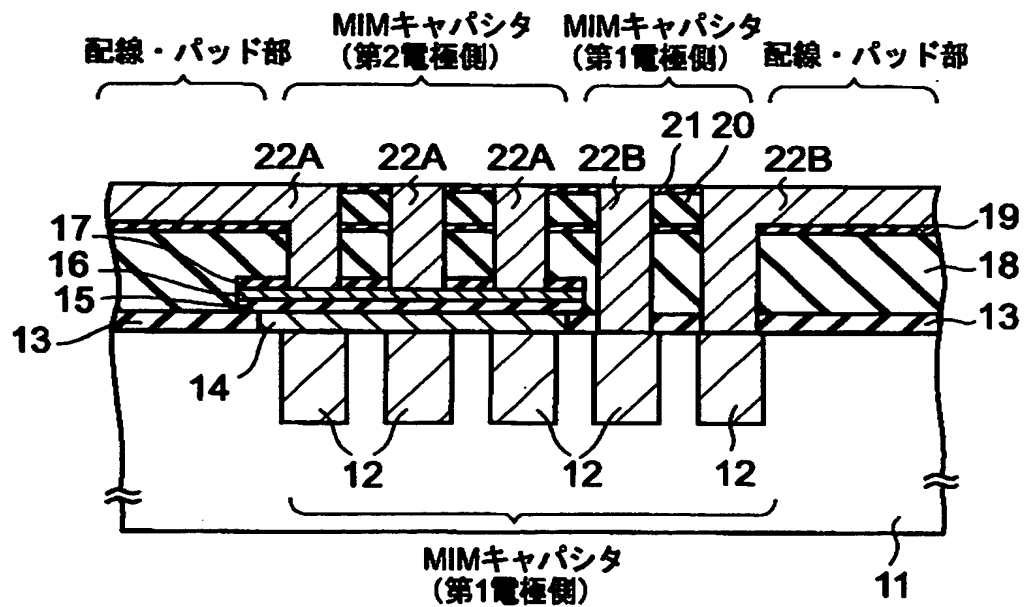
1 1	: 半導体基板、
1 2, 2 2 A, 2 2 B	: 金属材料（例えば、C u）、
1 3, 1 7, 1 9, 2 1	: 窒化シリコン膜、
1 4, 1 6	: 窒化タングステン膜（拡散防止膜）、
1 5	: キャパシタ絶縁膜、
1 8, 2 0	: 酸化シリコン膜（層間絶縁膜）。

【書類名】 図面

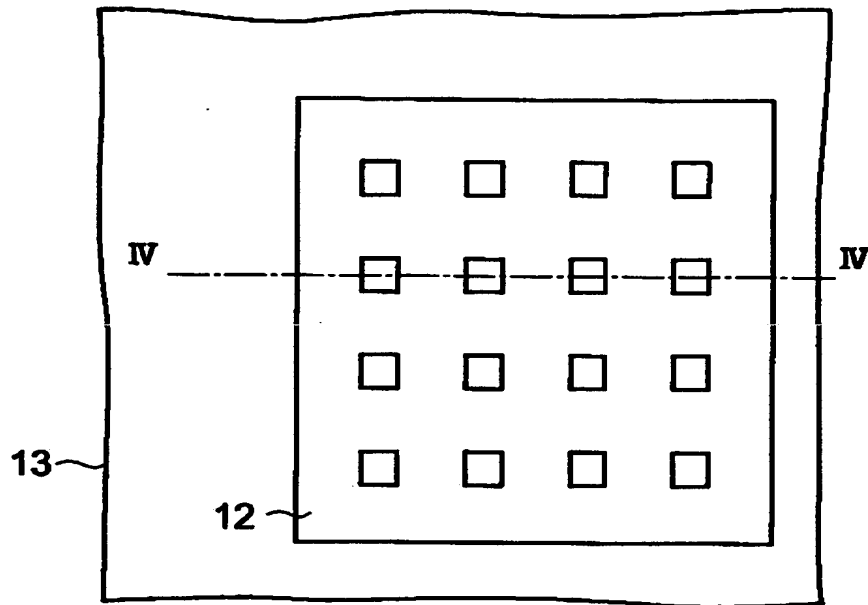
【図1】



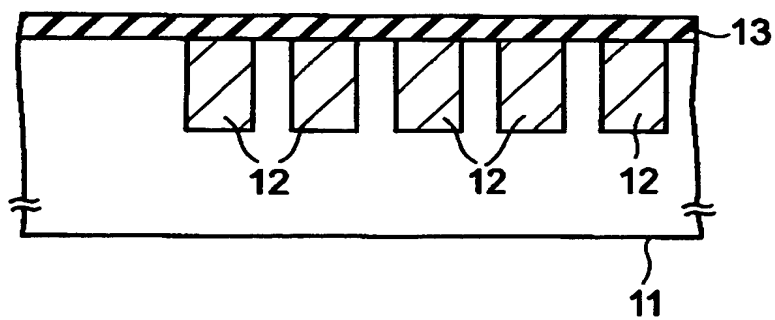
【図2】



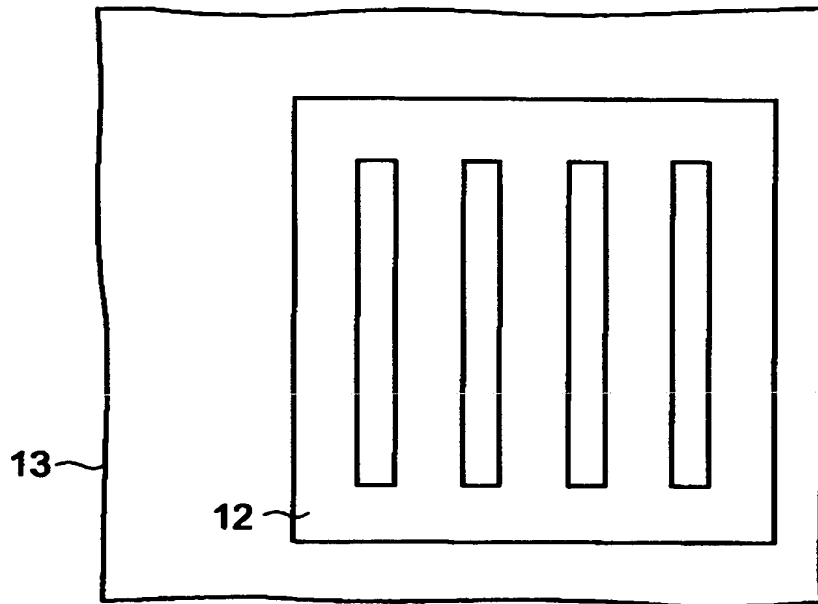
【図3】



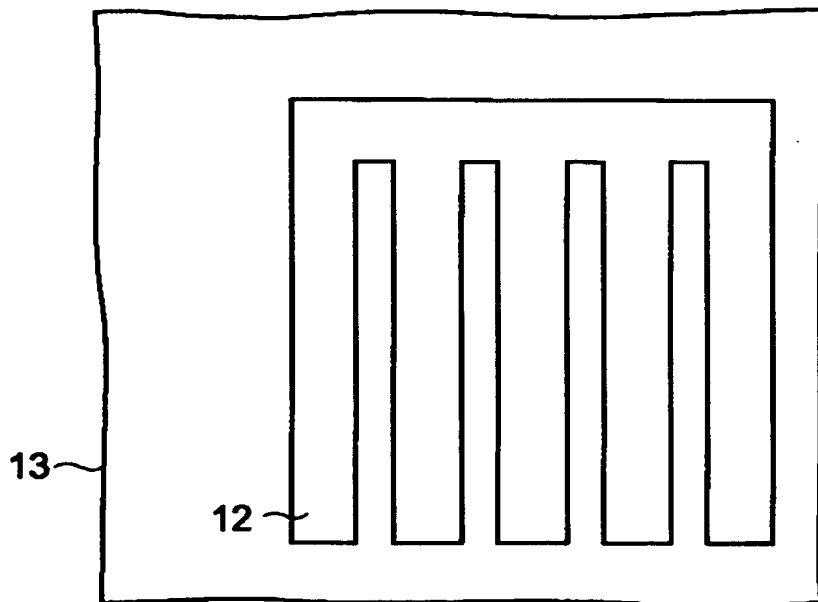
【図4】



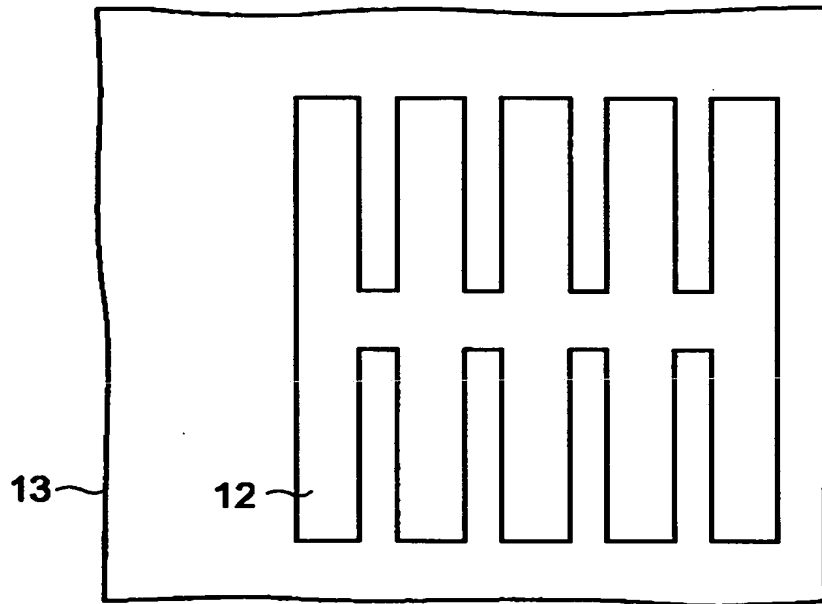
【図 5】



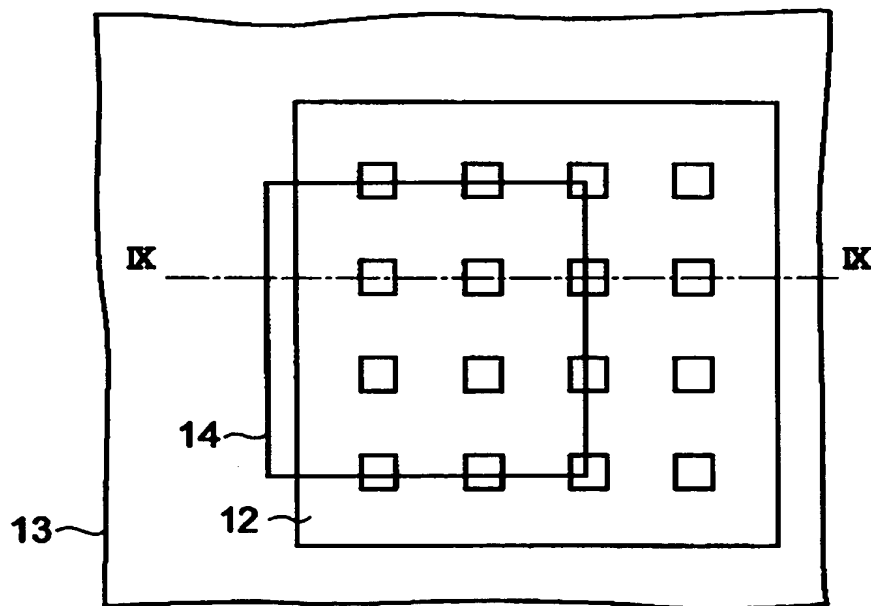
【図 6】



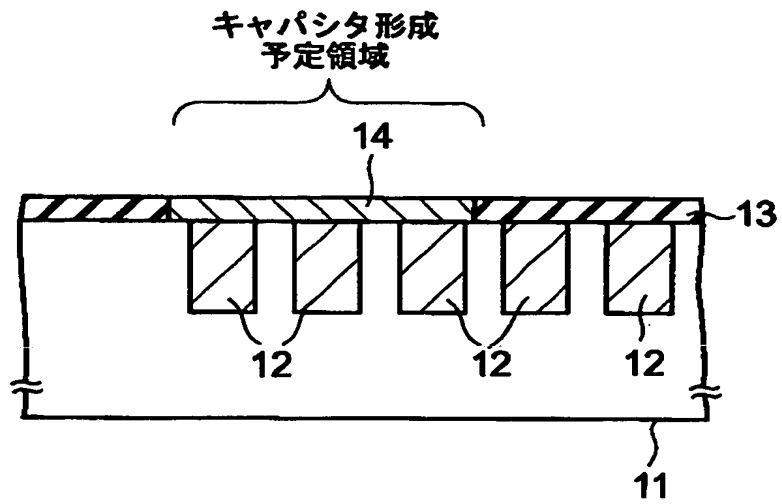
【図 7】



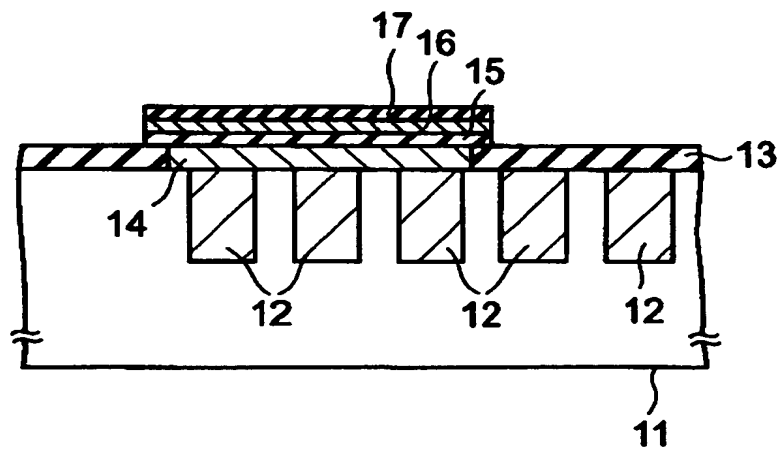
【図 8】



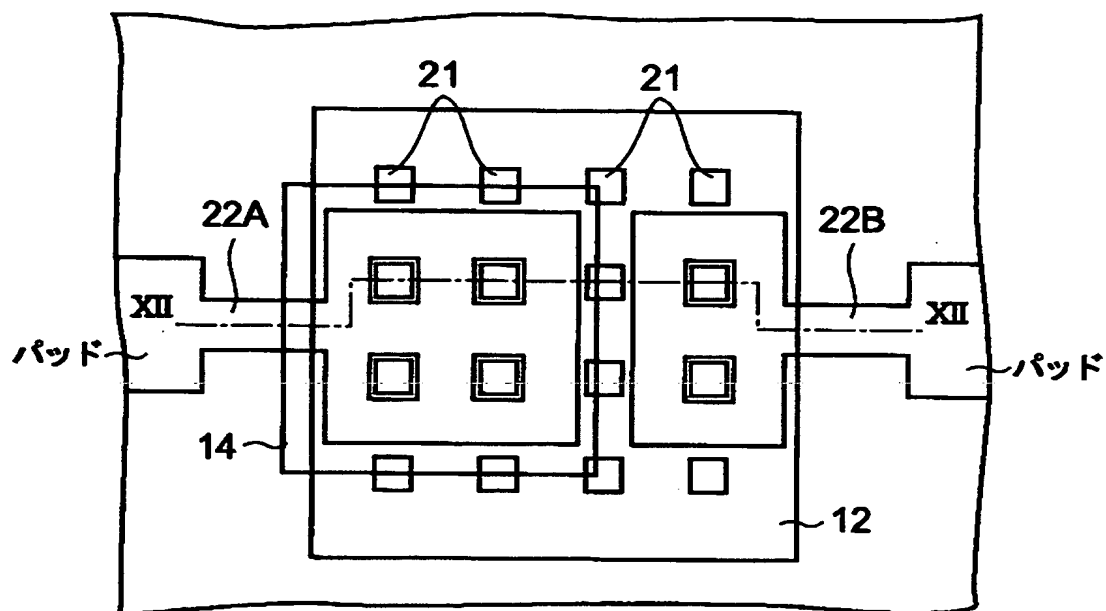
【図 9】



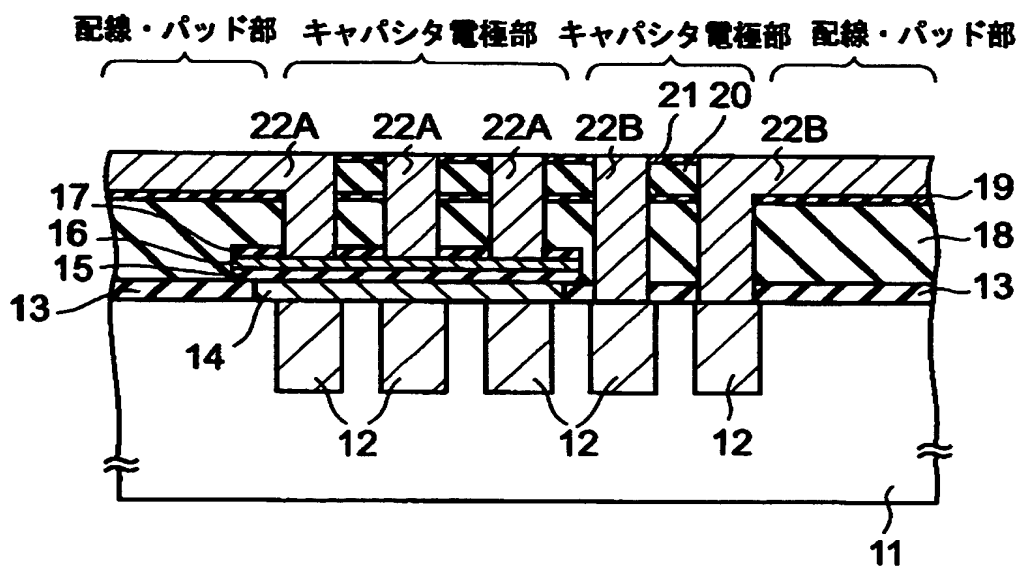
【図 1 0】



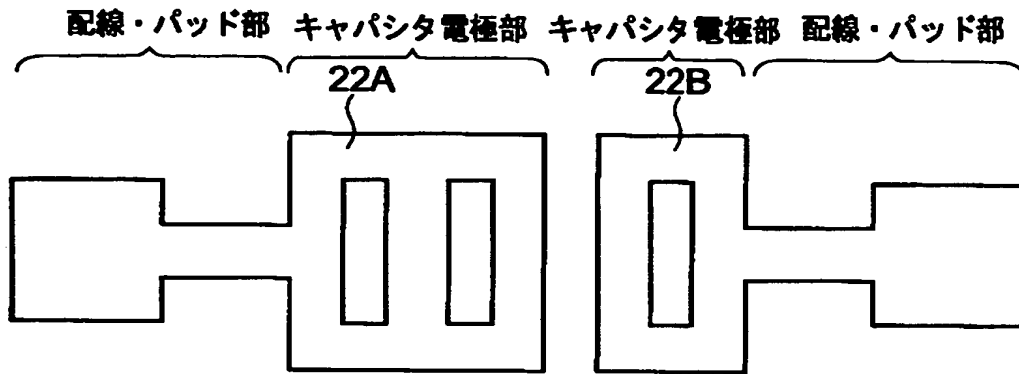
【図 1 1】



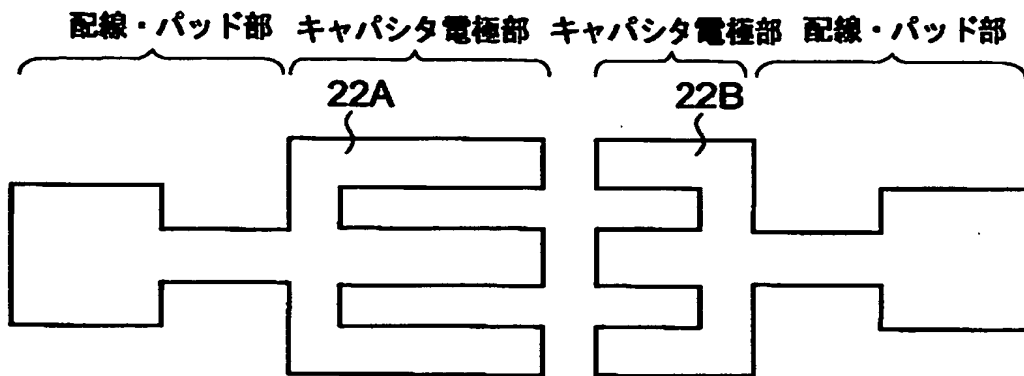
【图 1 2】



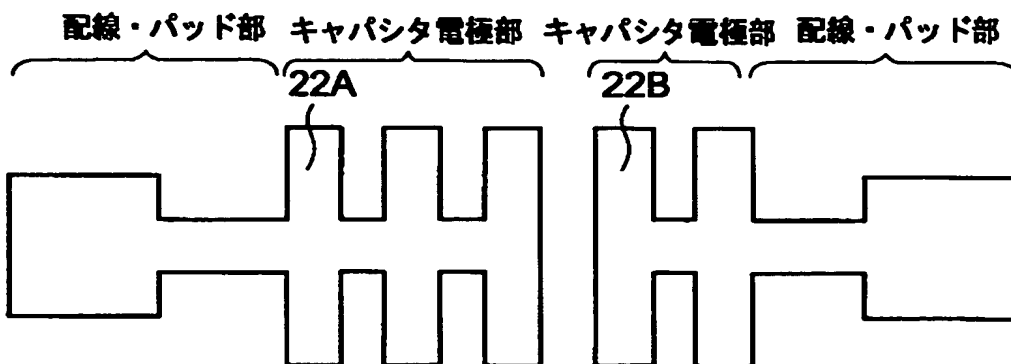
【図 13】



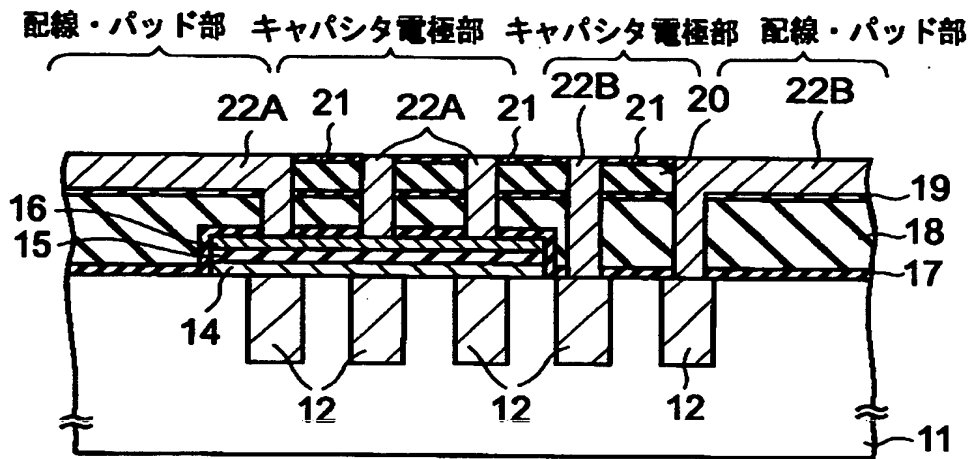
【図 14】



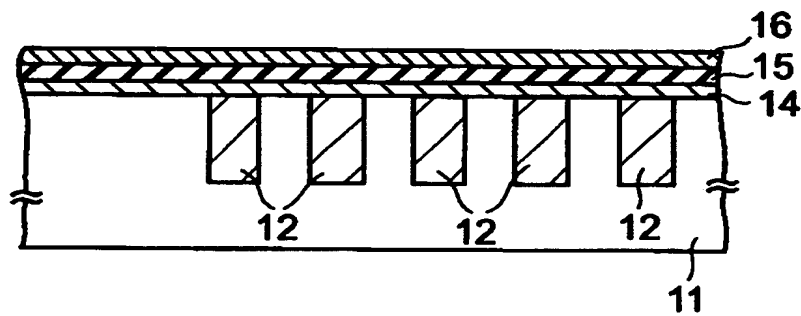
【図 15】



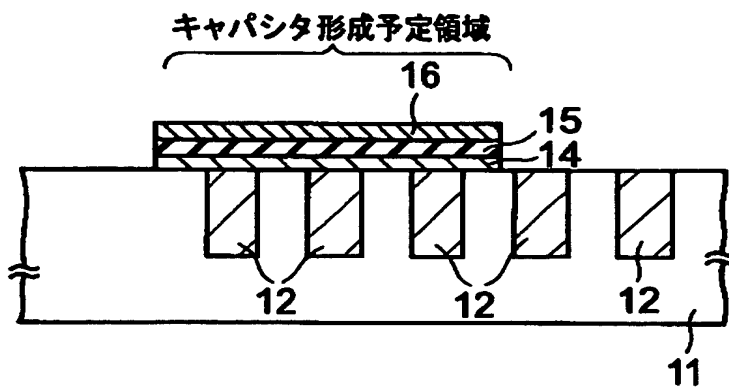
【図 1 6】



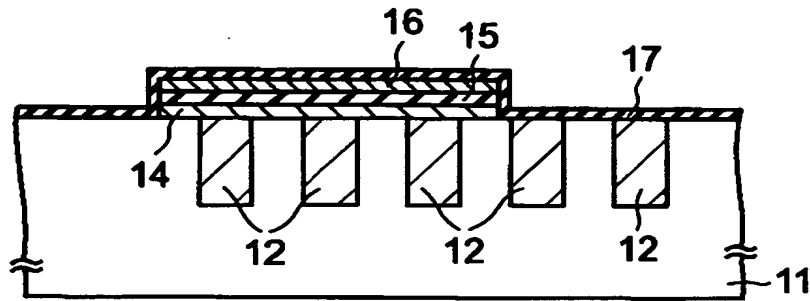
【図 1 7】



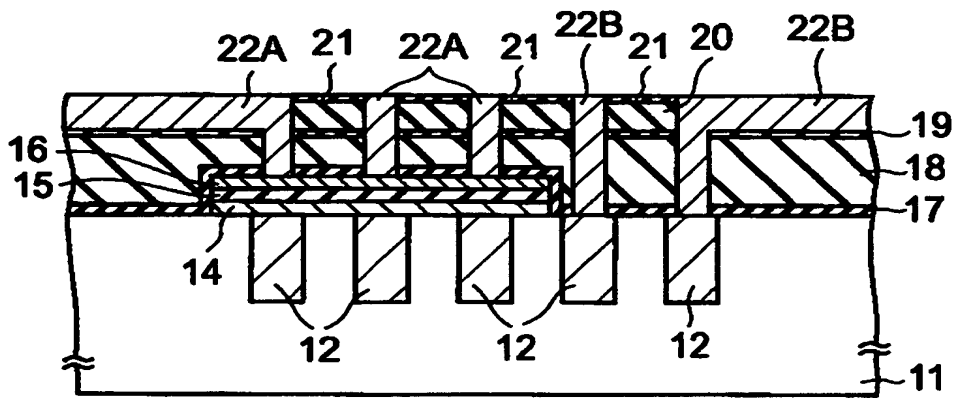
【図 1 8】



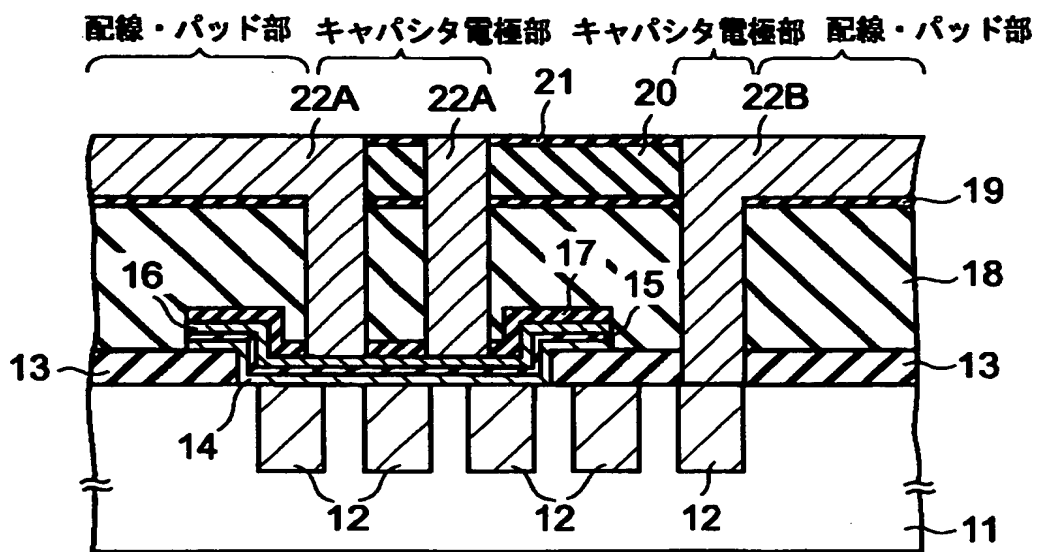
【図 1 9】



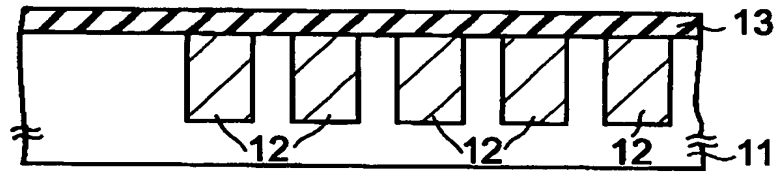
【図 2 0】



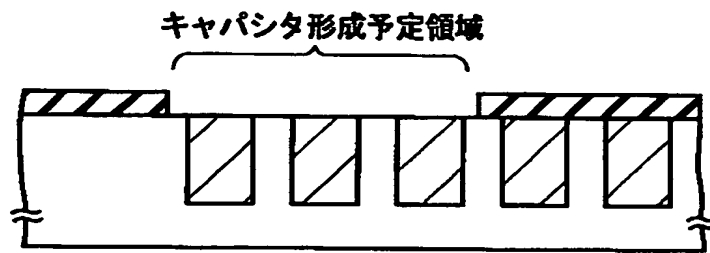
【図 2 1】



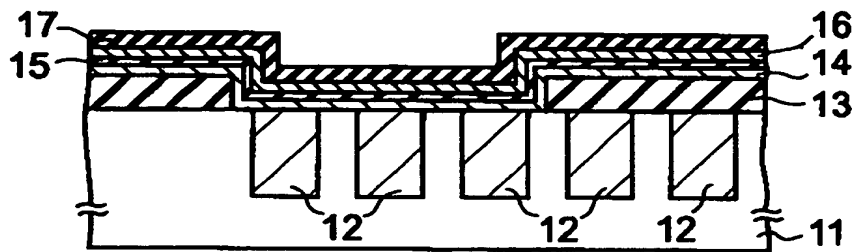
【図 2 2】



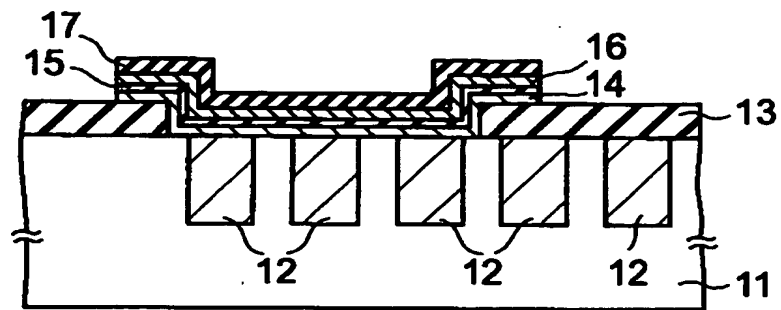
【図 2 3】



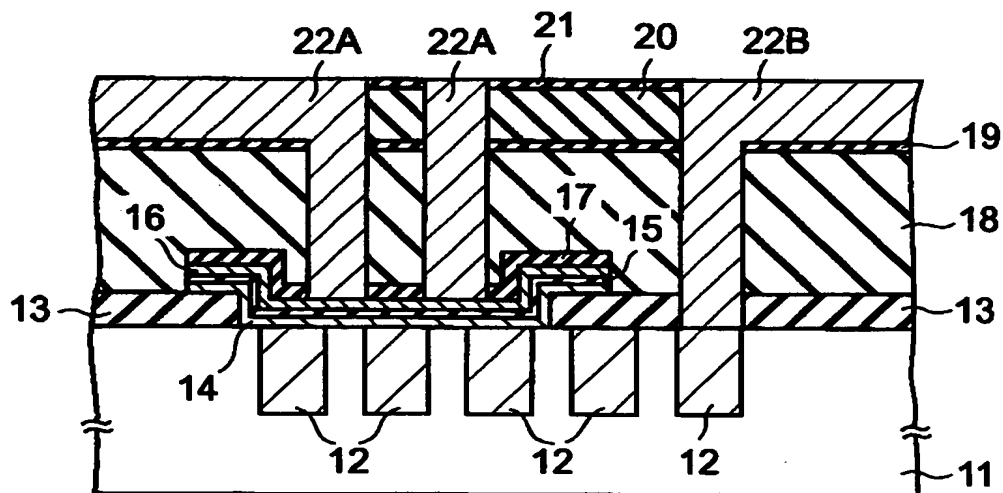
【図 2 4】



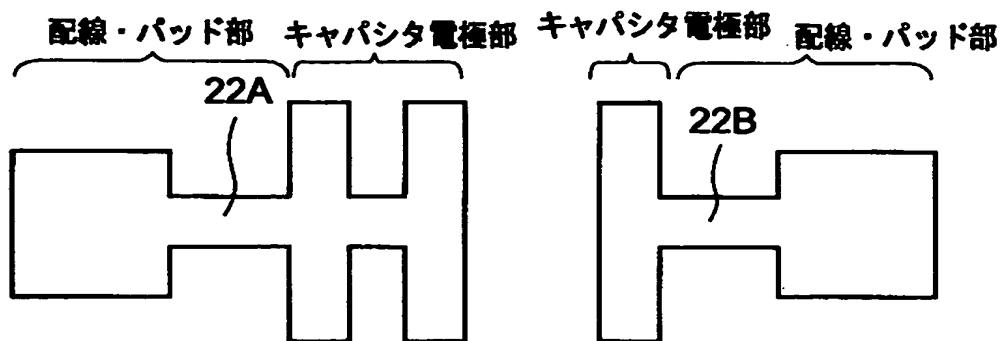
【図 25】



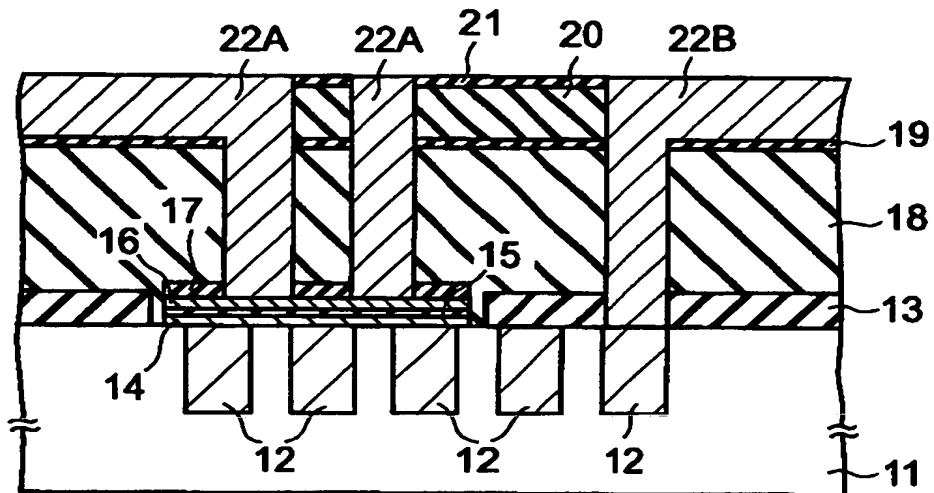
【図 26】



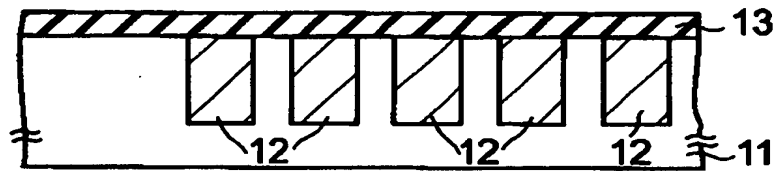
【図 27】



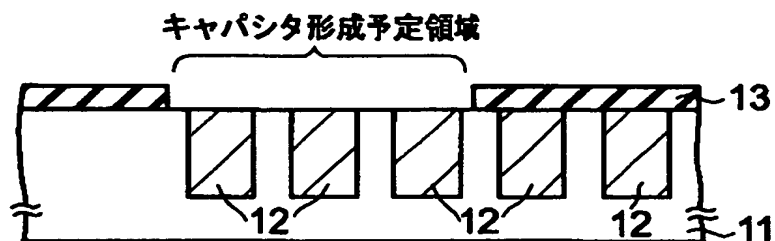
【図 2 8】



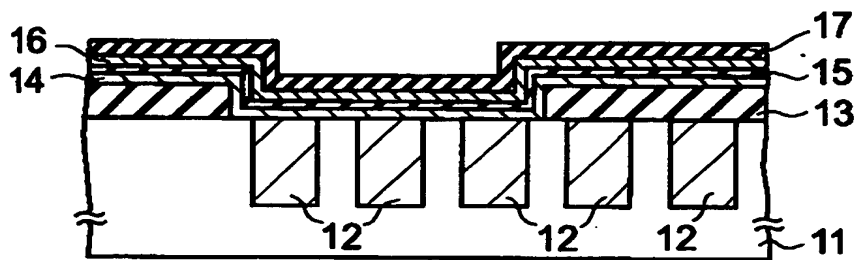
【図 2 9】



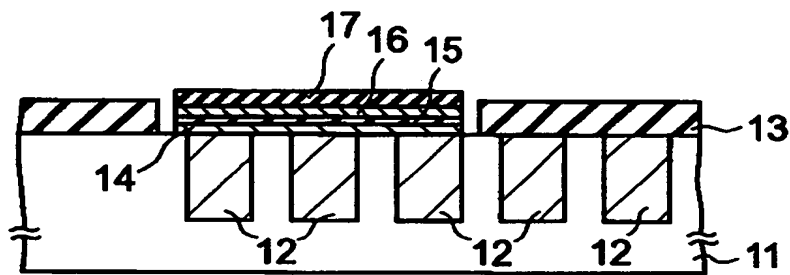
【図 3 0】



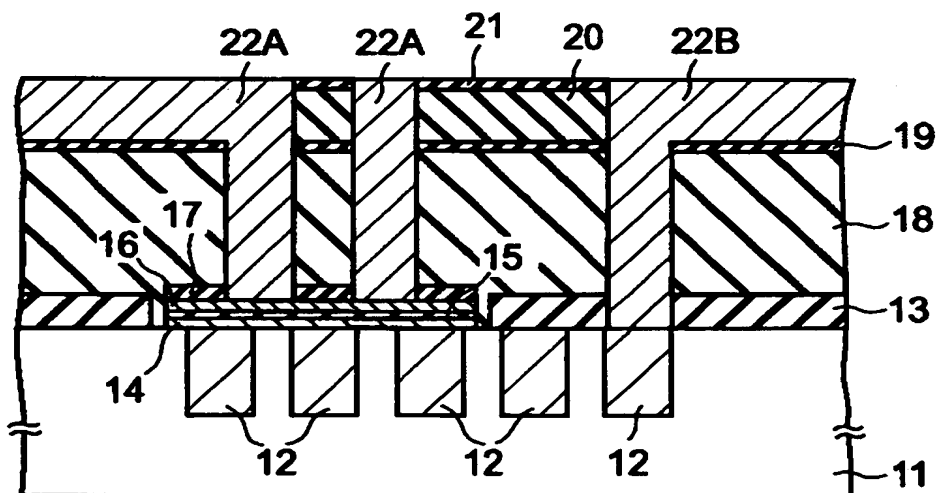
【図 3 1】



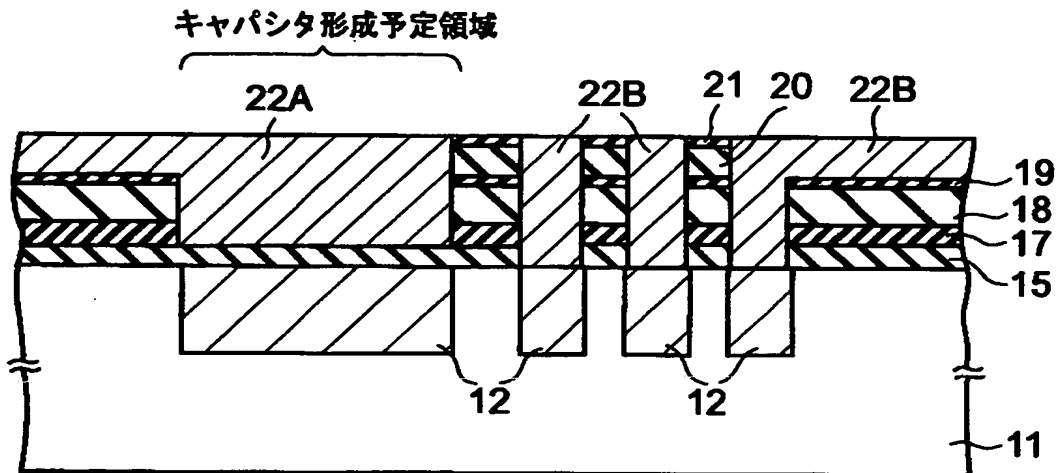
【図 3 2】



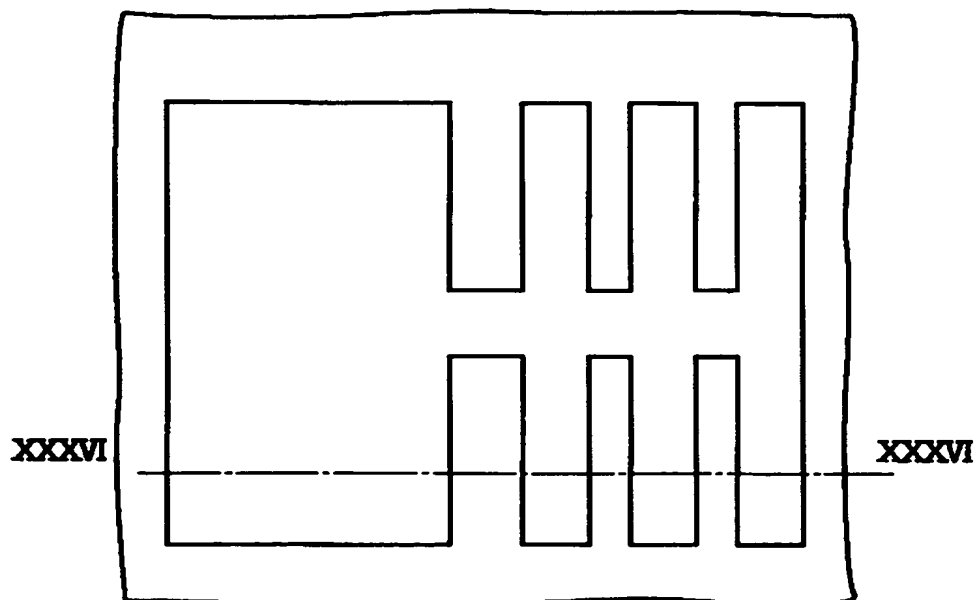
【図 3 3】



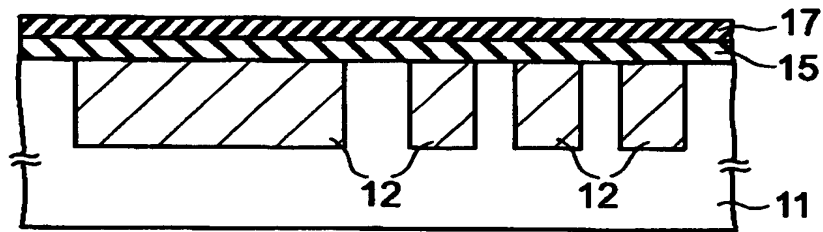
【図 3 4】



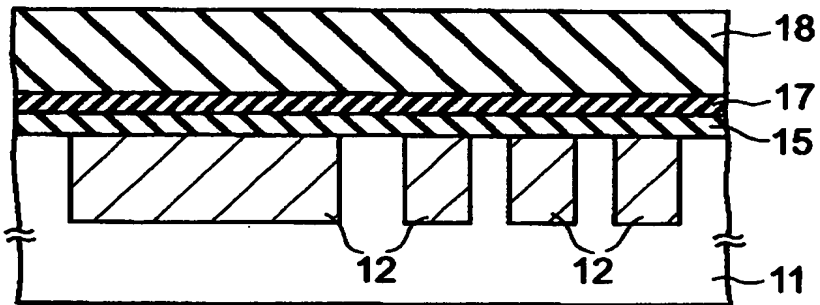
【図 3 5】



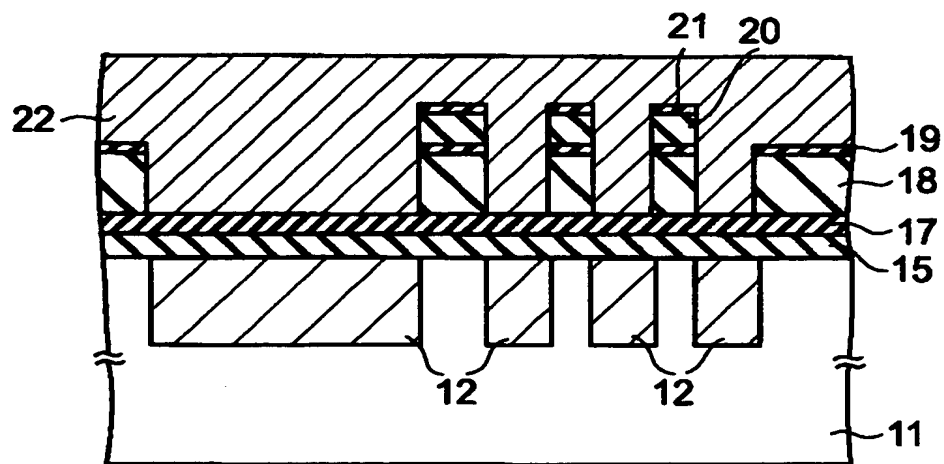
【図 3 6】



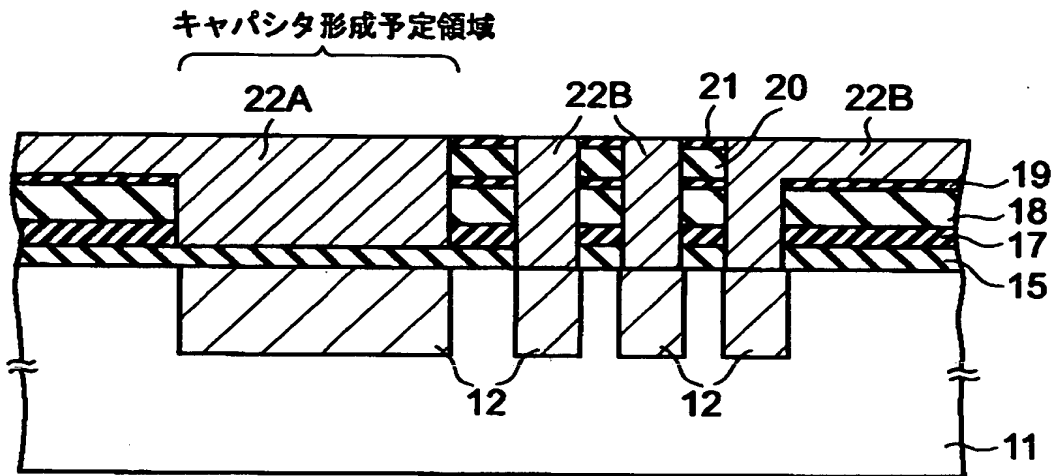
【図 3 7】



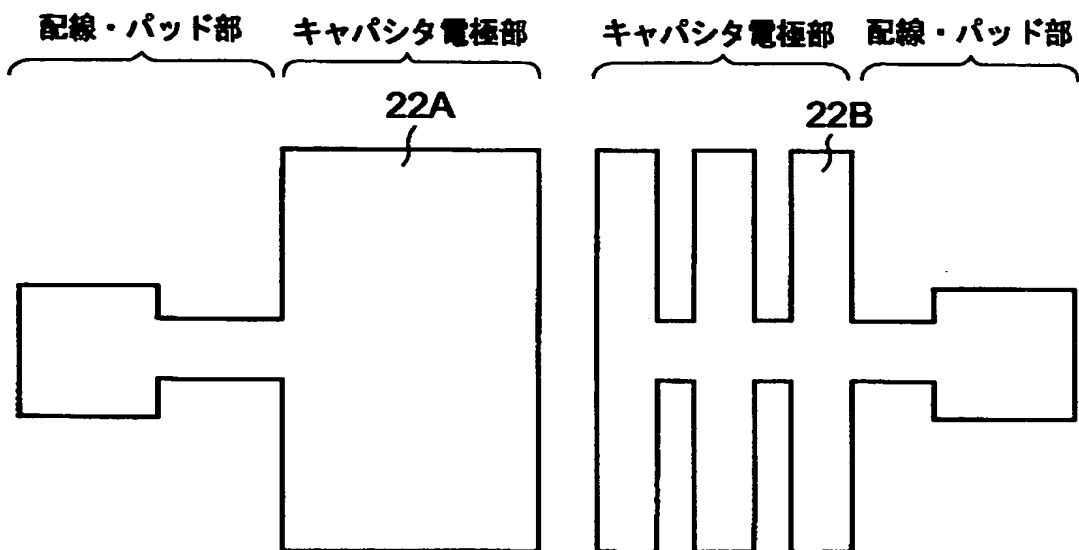
【図 3 8】



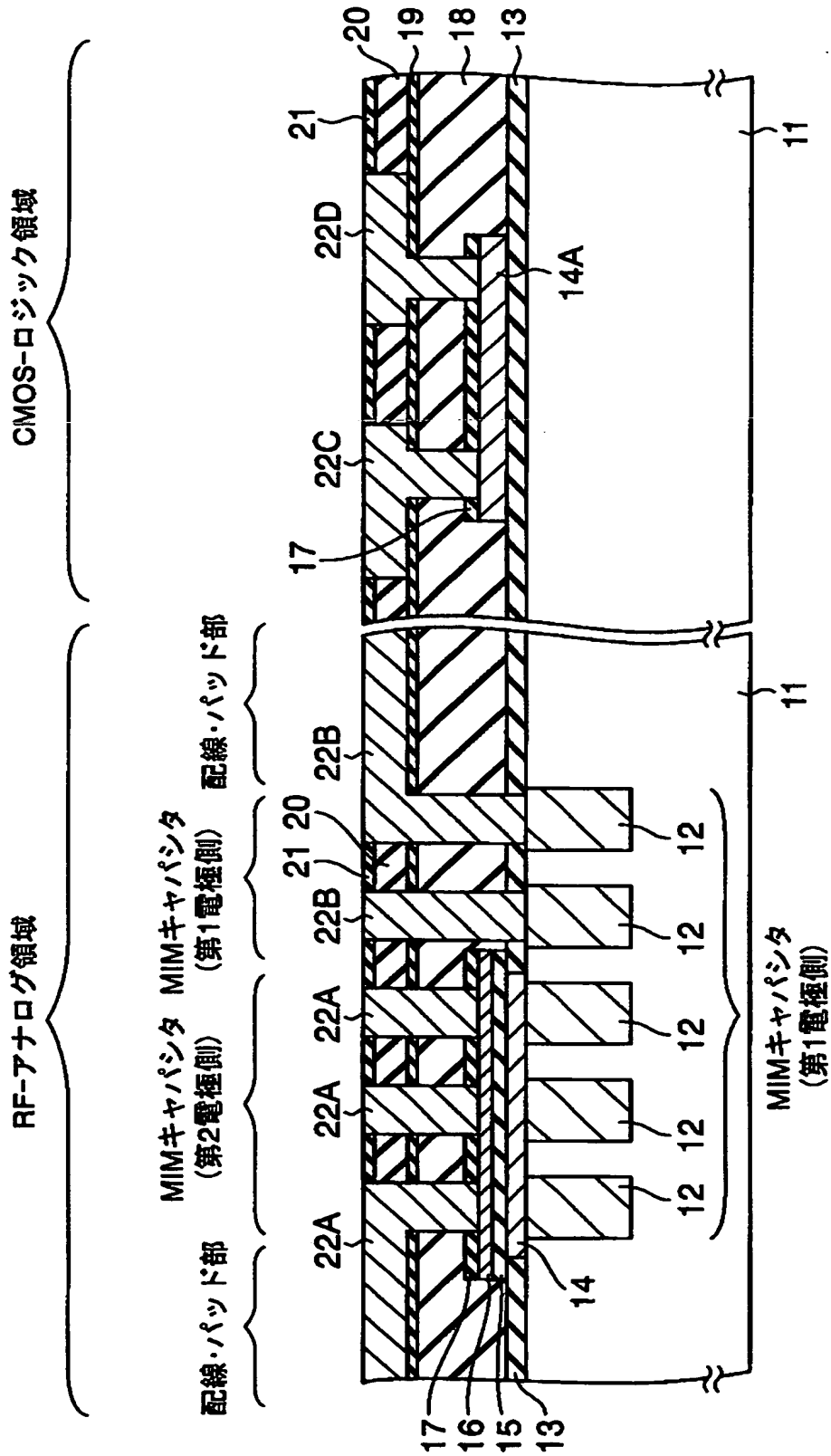
【図 3 9】



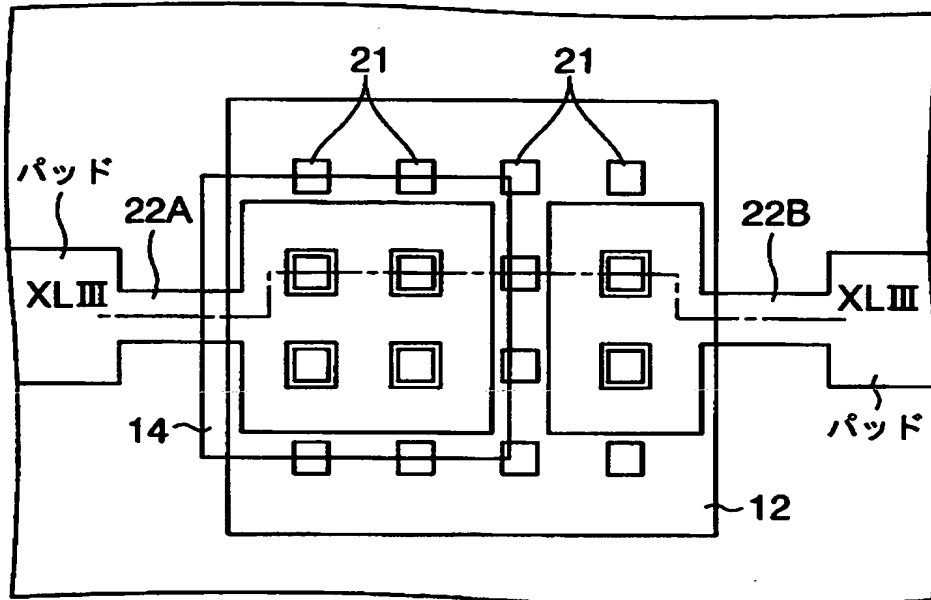
【図 4 0】



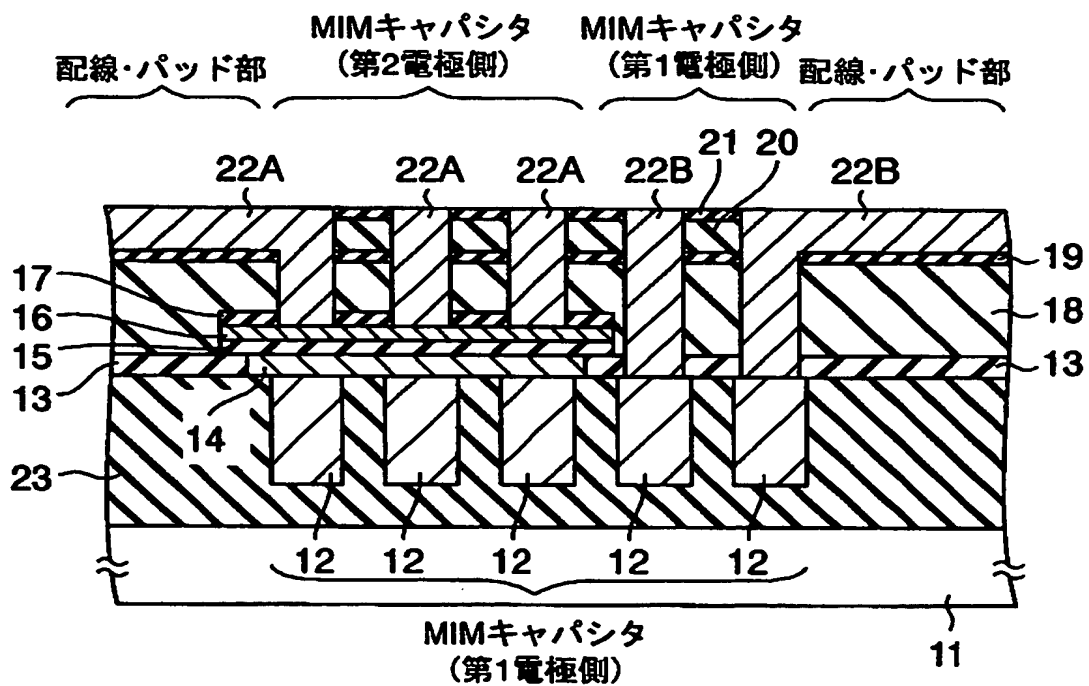
【図41】



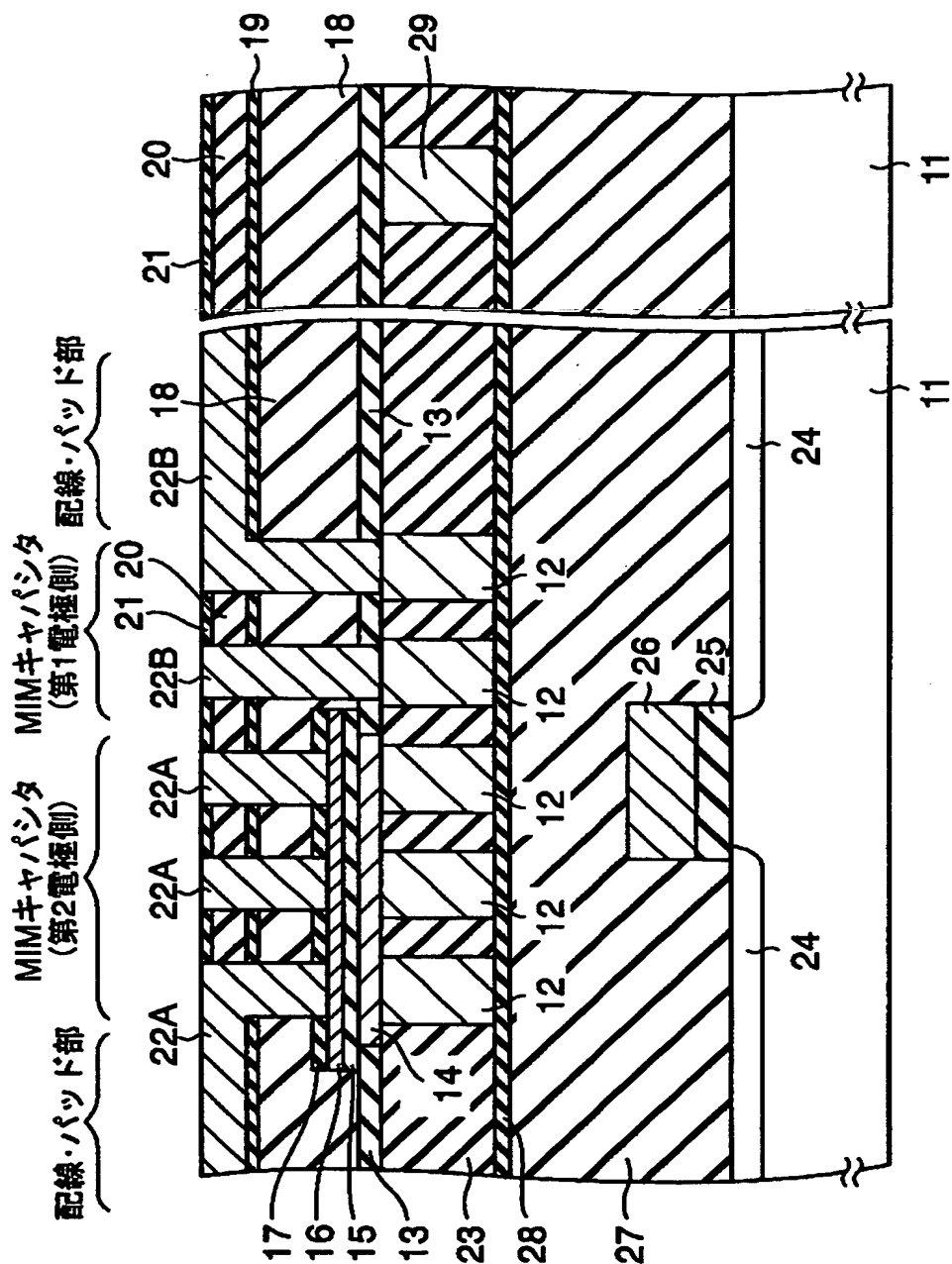
【図 4 2】



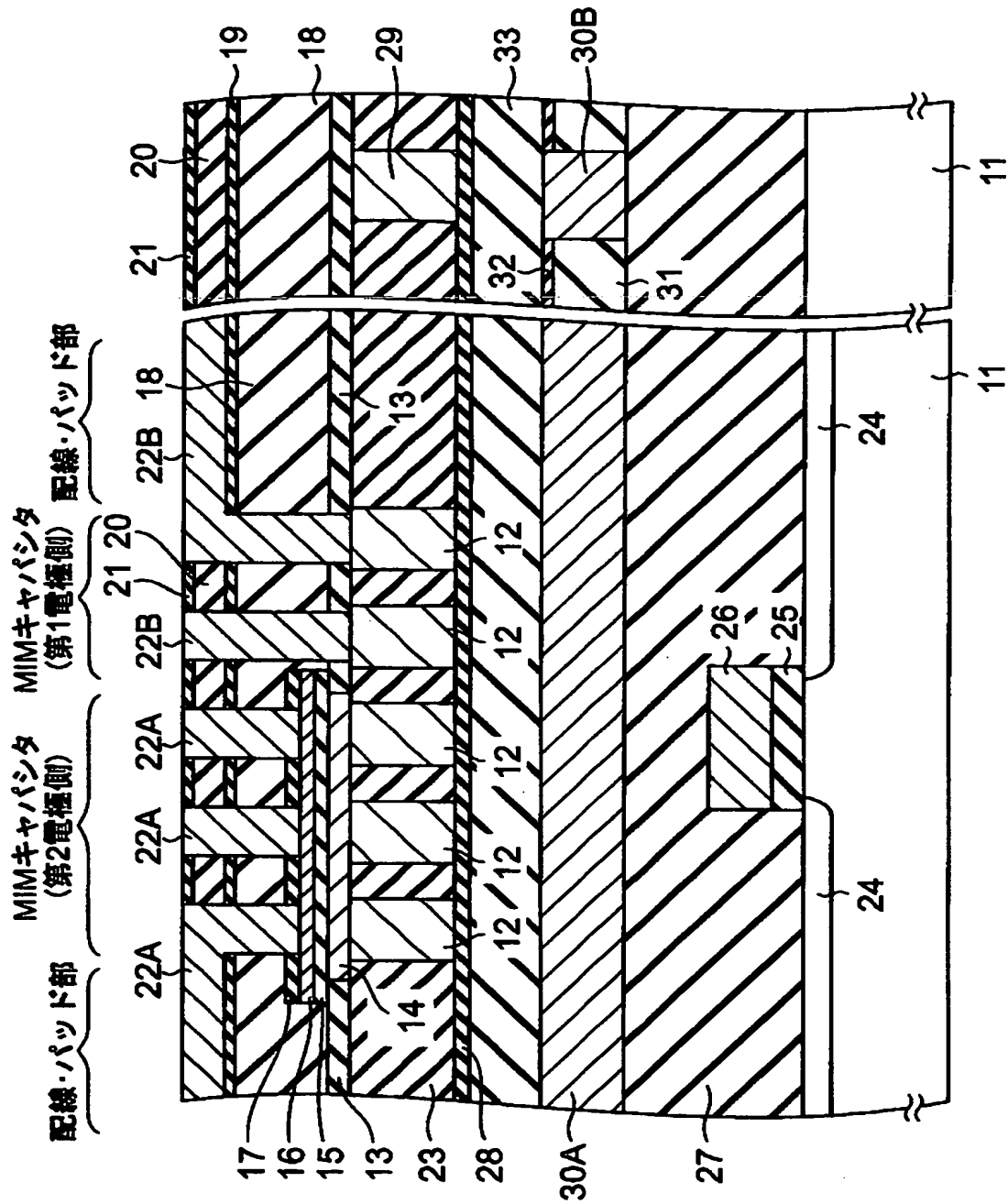
【図 4 3】



【図44】



【図45】



【書類名】 要約書

【要約】

【課題】 ダマシンプロセス+Cu配線でのキャパシタのリークを低減する。

【解決手段】 MIMキャパシタの第1電極12及び第2電極22Aは、大きな拡散係数を有する金属材料、例えば、Cuから構成される。キャパシタ絶縁膜15と第1電極12の間には、金属材料の拡散を防止する機能を有する板状の第1拡散防止膜14が配置され、キャパシタ絶縁膜15と第2電極22Aの間には、金属材料の拡散を防止する機能を有する板状の第2拡散防止膜16が配置される。第1及び第2電極は、例えば、四角以外の格子状、すのこ状、櫛状を含む形状を有している。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝